



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК  
G06F 9/30 (2022.08); G06F 7/24 (2022.08)

(21)(22) Заявка: 2022106083, 09.03.2022

(24) Дата начала отсчета срока действия патента:  
09.03.2022

Дата регистрации:  
13.12.2022

Приоритет(ы):  
(22) Дата подачи заявки: 09.03.2022

(45) Опубликовано: 13.12.2022 Бюл. № 35

Адрес для переписки:  
115409, Москва, Каширское ш., 31, НИЯУ  
МИФИ, ОУИС УНИ, Бейгул Г.В.

(72) Автор(ы):  
Ядыкин Игорь Михайлович (RU)

(73) Патентообладатель(и):  
федеральное государственное автономное  
образовательное учреждение высшего  
образования "Национальный  
исследовательский ядерный университет  
МИФИ" (НИЯУ МИФИ) (RU)

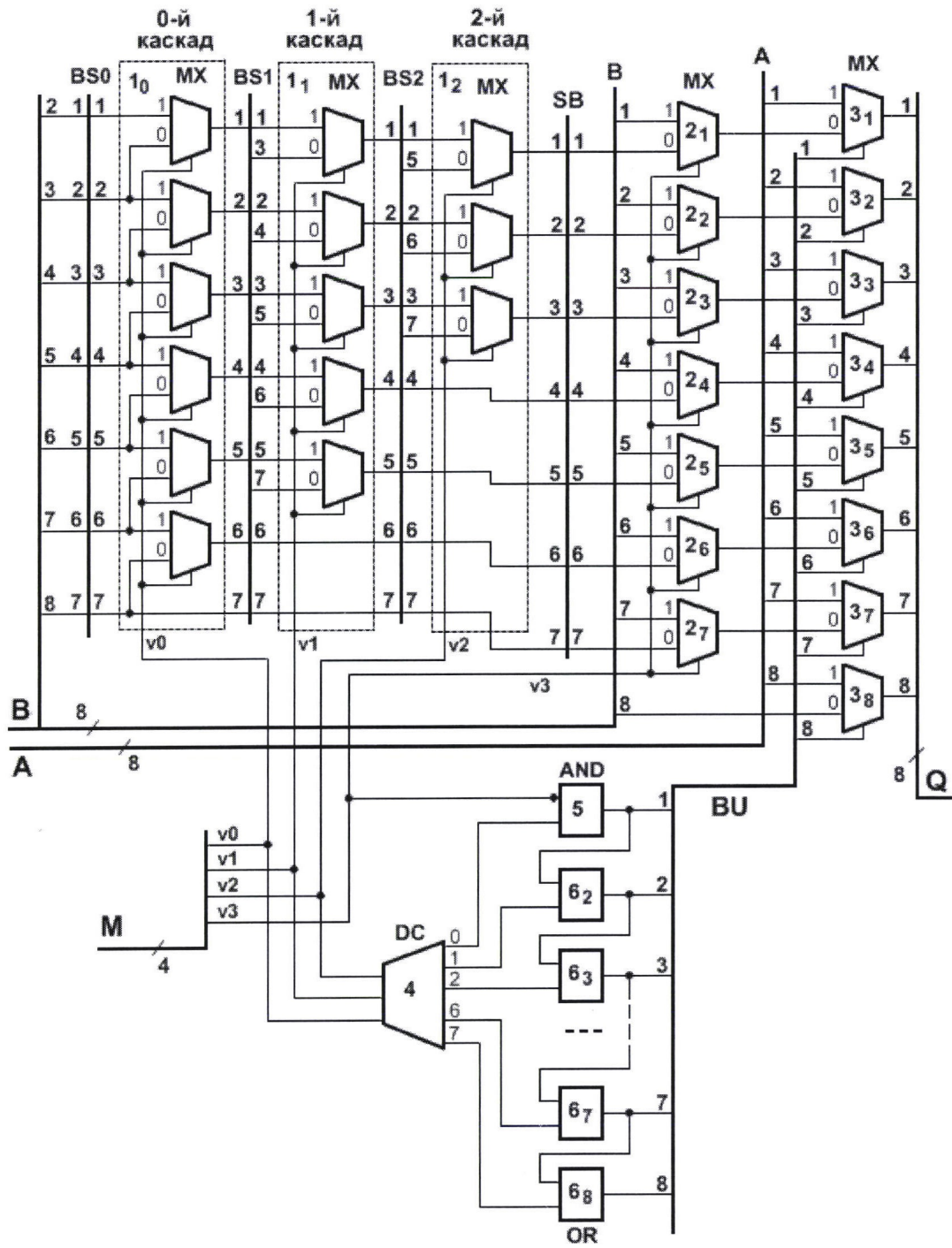
(56) Список документов, цитированных в отчете  
о поиске: RU 2728957 C1, 03.08.2020. US  
7584233 B2, 01.09.2009. WO 2017131579 A1,  
03.08.2017. RU 2729509 C1, 07.08.2020. RU  
2680759 C1, 26.02.2019.

## (54) УСТРОЙСТВО ДЛЯ ОБЪЕДИНЕНИЯ ГРУПП ДАННЫХ

(57) Реферат:

Изобретение относится к области вычислительной техники. Технический результат изобретения заключается в обеспечении реализации объединения старших разрядов групп данных с заданным количеством разрядов из групп. Указанный результат достигается за счет того, что устройство содержит первую А и вторую В внешние группы входных данных и выходную группу Q, содержащие по N разрядов, третью группу из (k+1) разрядов v<sub>0</sub>, v<sub>1</sub>, ..., v<sub>k</sub> внешней входной шины задания количества разрядов M из второй группы В входных данных (где M задается в диапазоне от 0 до N, k=]log<sub>2</sub>N[

(большее целое)), k внутренних шин BS<sub>0</sub>, BS<sub>1</sub>, ..., BS<sub>(k-1)</sub> и внутреннюю шину сдвига SB, содержащие по (N-1) разрядов, и внутреннюю шину управления BU, содержащую N разрядов, а также содержит k каскадов I<sub>0</sub>, I<sub>1</sub>, ..., I<sub>(k-1)</sub>, из которых каждый i-й каскад, где i=0, 1, ..., (k-1), содержит по (N-1-2<sup>i</sup>) первых групп мультиплексоров, вторую группу из (N-1) мультиплексоров 2<sub>1</sub>, 2<sub>2</sub>, ..., 2<sub>(N-1)</sub>, третью группу из N мультиплексоров 3<sub>1</sub>, 3<sub>2</sub>, ..., 3<sub>N</sub>, дешифратор 4, элемент И с инверсным входом 5 и группу из (N-1) элементов ИЛИ 6<sub>2</sub>, 6<sub>3</sub>, ..., 6<sub>N</sub>. 2 табл., 2 ил.



Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*G06F 9/315* (2006.01)  
*G06F 7/24* (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*G06F 9/30 (2022.08); G06F 7/24 (2022.08)*

(21)(22) Application: **2022106083, 09.03.2022**

(24) Effective date for property rights:  
**09.03.2022**

Registration date:  
**13.12.2022**

Priority:  
(22) Date of filing: **09.03.2022**

(45) Date of publication: **13.12.2022 Bull. № 35**

Mail address:  
**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI,  
OUIS UNI, Bejgul G.V.**

(72) Inventor(s):

**Yadykin Igor Mikhajlovich (RU)**

(73) Proprietor(s):

**federalnoe gosudarstvennoe avtonomnoe  
obrazovatelnoe uchrezhdenie vysshego  
obrazovaniya "Natsionalnyj issledovatel'skij  
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**

(54) **DEVICE FOR COMBINING DATA GROUPS**

(57) Abstract:

FIELD: computer technology.

SUBSTANCE: invention relates to the field of computer technology. This effect is achieved due to the fact that the device contains the first A and second B external groups of input data and the output group Q, containing N bits each, the third group of (k + 1) bits v0, v1, ..., vk of the external input bus for setting the number bits M from the second group B of the input data (where M is given in the range from 0 to N, k= $\lfloor \log_2 N \rfloor$  (greater integer)), k internal buses BS0, BS1, ..., BS(k-1) and internal shift bus SB, containing (N-1) bits each, and an internal control bus BU containing N

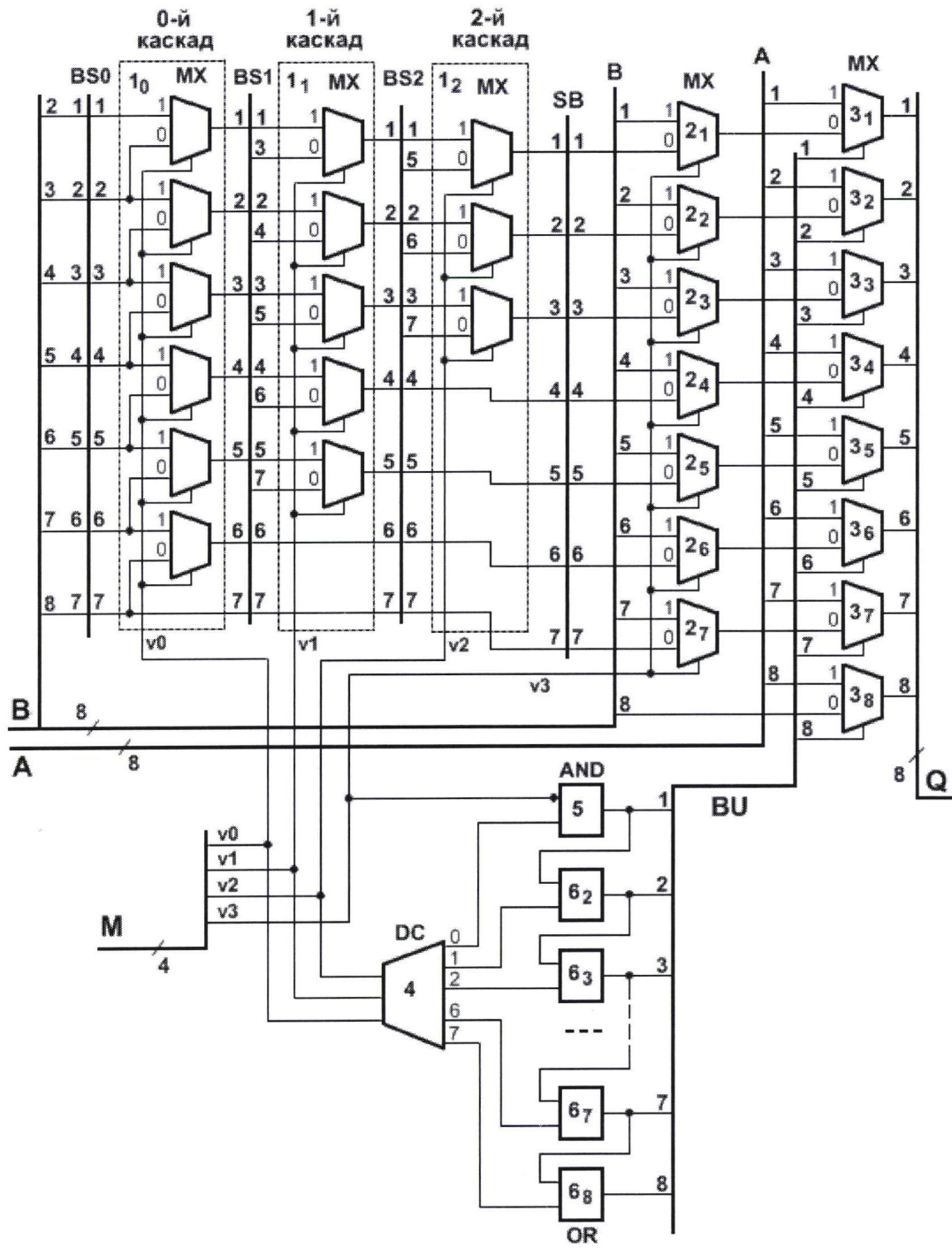
bits, and also contains k stages  $1_0, 1_1, \dots, 1_{(k-1)}$ , of which each i-th stage, where  $i=0, 1, \dots, (k-1)$ , contains  $(N-1-2^i)$  of the first groups of multiplexers, the second group of (N-1) multiplexers  $2_1, 2_2, \dots, 2_{(N-1)}$ , the third group of N multiplexers  $3_1, 3_2, \dots, 3_N$ , decoder 4, AND element with inverse input 5 and a group of (N-1) OR elements  $6_2, 6_3, \dots, 6_N$ .

EFFECT: ensuring the implementation of the union of high-order digits of data groups with a given number of digits from groups.

1 cl, 2 tbl, 2 dwg

RU 2 785 770 C1

RU 2 785 770 C1



Фиг. 1

## ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники и может быть использовано в процессорах обработки сигналов и процессорах общего назначения, устройствах преобразования информации, кодирования и декодирования данных.

5 Известны устройства управляемого циклического сдвига (RU №2480905 С2, МПК Н03М 13/19, заявлено 08.10.2009, опубликовано 27.04.2013, Бюл. №12; Дж. Ф.Уэйкерли Проектирование цифровых устройств, том 2, М.: Постмаркет, с. 556, рис. 6.2), в которых описаны устройства для сдвига  $N$  разрядных входных данных в сторону старших разрядов на величину сдвига от 0 до  $N-1$  задаваемую  $K$  разрядами, где  $K \leq \log_2 N$ ,  
 10 содержит селекторы (мультиплексоры) с двумя входами, одним выходом и вводом управления, причем селекторы объединены в  $K$  последовательно расположенных ступеней и управляемых соответствующим разрядом кода величины сдвига, причем выходы предыдущей ступени являются входами следующей ступени.

Недостатком данных устройств являются большие аппаратные затраты для  
 15 сохранения значений всех разрядов сдвигаемых операндов.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является, принятые за прототип, способ и устройство для  
 параллельного объединения данных со сдвигом вправо (RU №2273044 С2, МПК G06F  
 9/315, заявлен 28.10.2002, опубликован 27.03.2006, Бюл. №9). В устройстве параллельно  
 20 со сдвигом влево на  $(L-M)$  элементов данных первого операнда, имеющего первый набор из  $L$  элементов данных, сдвигают второй операнд, имеющий второй набор из  $L$  элементов данных, вправо на  $M$  элементов данных, и объединяют упомянутый сдвинутый первый набор с упомянутым сдвинутым вторым набором для получения  
 результата, имеющего  $L$  элементов данных. В устройстве осуществляется объединение  
 25 (присоединение) младших разрядов первого операнда и старших разрядов второго операнда.

Недостатком данного устройства является отсутствие средств для объединения  
 старших разрядов первого и второго операндов с заданным количеством разрядов из  
 операндов, а также большие аппаратные затраты на сдвиг как влево, так и вправо на  
 30 полную разрядную сетку, и на формирование нулевых значений в освобождающихся при сдвиге разрядах.

## ЗАДАЧА ИЗОБРЕТЕНИЯ

Задача, на решение которой направлено предлагаемое изобретение, заключается в  
 создании устройства предназначенного для выполнения операции объединения  
 35 (сцепления, соединения, присоединения) старших разрядов двух групп данных (операндов) с заданным количеством старших разрядов в каждой из групп.

Техническим результатом изобретения является обеспечение реализации объединения старших разрядов групп данных с заданным количеством разрядов из групп.

## КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

40 Указанный технический результат при осуществлении изобретения достигается тем, что устройство для объединения групп данных содержит первую  $A$  и вторую  $B$  внешние группы входных данных и выходную группу  $Q$  содержащие по  $N$  разрядов, третью группу из  $(k+1)$  разрядов  $v_0, v_1, \dots, v_k$  внешней входной шины задания количества разрядов  $M$  из второй группы  $B$  входных данных (где  $M$  задается в диапазоне от 0 до  
 45  $N, k = \lfloor \log_2 N \rfloor$  (большее целое)),  $k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  и внутреннюю шину сдвига  $SB$ , содержащие по  $(N-1)$  разрядов и внутреннюю шину управления  $BU$ , содержащую  $N$  разрядов,

а также содержит  $k$  каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ , из которых каждый  $i$ -й каскад, где  $i=0, 1, \dots, (k-1)$ , содержит по  $(N-1-2^i)$  первых групп мультиплексов, вторую группу из  $(N-1)$  мультиплексов  $2_1, 2_2, \dots, 2_{(N-1)}$ , третью группу из  $N$  мультиплексов  $3_1, 3_2, \dots, 3_N$ , дешифратор 4, элемент И с инверсным входом 5 и группу из  $(N-1)$  элементов ИЛИ  $6_2, 6_3, \dots, 6_N$ ,

причем  $N$  разрядов первой  $A$  внешней группы входов соединены с первыми информационными входами одноименных элементов третьей группы из  $N$  мультиплексов  $3_1, 3_2, \dots, 3_N$ ,

$k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  являются входными шинами одноименных каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ ,

$(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со второго разряда до  $N$ -го разряда, являются соответствующими  $(N-1)$  разрядами нулевой внутренней шины  $BS_0$ , начиная с первого разряда до  $(N-1)$ -го разряда, а также  $(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со первого до  $(N-1)$ -го разряда, соединены с первыми информационными входами одноименных элементов второй группы из  $(N-1)$  мультиплексов  $2_1, 2_2, \dots, 2_{(N-1)}$ ,

причем в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  первые информационные входы мультиплексов соединены с одноименными разрядами соответствующей  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ , а нулевые информационные входы каждого  $j$ -го мультиплекса из первых групп мультиплексов, где  $j=1, 2, \dots, (N-1-2^i)$ , соединены с соответствующим  $j+2^i$  разрядом одноименной  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ ,

кроме того в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  входы управления мультиплексами соединены между собой в  $i$ -м каскаде и соединены с соответствующим одноименным  $i$ -м разрядом  $v_i$  из группы  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов  $M$ ,

причем в каждом  $i$ -м каскаде, из первых  $(k-1)$  каскадов  $1_0, 1_1, \dots, 1_{(k-2)}$ , начиная с нулевого каскада до  $(k-2)$ -го каскада, выход каждого  $j$ -го мультиплекса из первых групп мультиплексов является соответствующим одноименным  $j$ -м разрядом входной шины следующего каскада  $BS_{(i+1)}$ , в которой старшие  $2^i$  разрядов, начиная с  $(N-2^i)$ -го разряда до  $(N-1)$ -го разряда, соединены с одноименными старшими  $2^i$  разрядами входной шины предыдущего  $i$ -го каскада  $BS_{(i)}$ ,

кроме того выходы  $(N-1-2^{(k-1)})$  мультиплексов старшего  $k$ -го каскада  $1_{(k-1)}$  являются соответствующими одноименными разрядами внутренней шины сдвига  $SB$ , у которой старшие  $2^{(k-1)}$  разрядов, начиная с  $2^{(k-1)}$  разряда до  $(N-1)$  разряда соединены с одноименными старшими  $2^i$  разрядами входной шины старшего каскада в  $BS_{(k-1)}$ ,

причем все  $(N-1)$  разрядов внутренней шины сдвига  $SB$  соединены с нулевыми информационными входами одноименных элементов второй группы из  $(N-1)$  мультиплексов  $2_1, 2_2, \dots, 2_{(N-1)}$ , выходы которых соединены с нулевыми информационными входами одноименных элементов  $3_1, 3_2, \dots, 3_{(N-1)}$  из третьей группы мультиплексов  $3_1, 3_2, \dots, 3_N$ , в которой нулевой информационный вход старшего мультиплекса  $3_N$  соединен с  $N$ -м разрядом второй группы  $B$  внешних входов,

старший  $v_k$ -й разряд внешней входной шины задания количества разрядов  $M$  соединен с входами управления всех мультиплексоров второй группы  $2_1, 2_2, \dots, 2_{(N-1)}$ , а также соединен с инверсным входом элемента И 5,

5 кроме того младшие  $k$  разрядов  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов  $M$  соединены с соответствующими одноименными входами дешифратора 4, у которого нулевой выход соединен с прямым входом элемента И с инверсным входом 5, выход которого является первым разрядом внутренней шины управления ВU, а выходы дешифратора 4, начиная с первого выхода до  $(2^k-1)$ -го выхода, соединены со вторыми входами соответствующих элементов ИЛИ из группы  $b_2, b_3, \dots,$  10  $b_N$ , выходы которых являются соответствующими разрядами внутренней шины управления ВU, начиная со второго разряда до  $N$ -го разряда,

при этом выходы первых  $(N-2)$  элементов ИЛИ, начиная с первого элемента  $b_2$  до  $(N-2)$ -го элемента  $b_{(N-1)}$ , соединены с первыми входами последующих  $(N-2)$  элементов ИЛИ, начиная со второго элемента  $b_3$  до  $(N-1)$ -го элемента  $b_N$ , а первый вход первого 15 элемента ИЛИ  $b_2$  соединен с выходом элемента И с инверсным входом 5,

причем все  $N$  разрядов шины управления ВU соединены с входами управления одноименных мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$ , выходы которых являются 20 одноименными  $N$  разрядами выходной группы Q.

#### КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 представлена схема предлагаемого устройство для объединения групп данных для входных и выходных данных разрядности  $N=8$ . На фиг. 2 приведена схема формирования  $N$  разрядов выходных данных Q.

25 На фиг. 1, фиг. 2 и в тексте введены следующие обозначения:

A - первая группа внешних входов, содержащая  $N$  разрядов,

B - вторая группа внешних входов, содержащая  $N$  разрядов,

Q - группа внешних выходов, содержащая  $N$  разрядов,

30 M - внешняя входная шина задания количества разрядов из второй группы B входных данных, где M задается в диапазоне от 0 до N,

$v_0, v_1, \dots, v_k$  - третья группа из  $(k+1)$  разрядов внешней входной шины M, где  $k = \lfloor \log_2 N \rfloor$  (большее целое),

$i$  - счетная переменная номера каскада, где  $i=0, 1, \dots, (k-1)$ ,

35  $j$  - счетная переменная номера мультиплексора в  $i$ -м каскаде, где  $j=1, 2, \dots, (N-1-2^i)$ ,

BS0, BS1, ..., BS(k-1) - группа из  $k$  внутренних шин BS0, BS1, ..., BS(k-1), содержащих по  $(N-1)$  разрядов,

SB - внутренняя шина сдвига, содержащая  $(N-1)$  разрядов,

BU - внутренняя шина управления, содержащая  $N$  разрядов,

40  $1_0, 1_1, \dots, 1_{(k-1)}$  -  $k$  каскадов, содержащие первые группы мультиплексоров,

$2_1, 2_2, \dots, 2_{(N-1)}$  - вторая группа из  $(N-1)$  мультиплексоров,

$3_1, 3_2, \dots, 3_N$  - третья группа из  $N$  мультиплексоров,

4 - дешифратор,

5 - элемент И с инверсным входом,

45  $b_2, b_3, \dots, b_N$  - группа из  $(N-1)$  элементов ИЛИ.

Предлагаемое устройство для объединения групп данных содержит первую A и вторую B внешние группы входных данных и выходную группу Q содержащие по  $N$  разрядов, третью группу из  $(k+1)$  разрядов  $v_0, v_1, \dots, v_k$  внешней входной шины задания

количества разрядов  $M$  из второй группы  $B$  входных данных (где  $M$  задается в диапазоне от 0 до  $N$ ,  $k = \lceil \log_2 N \rceil$  (большее целое)),  $k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  и внутреннюю шину сдвига  $SB$ , содержащие по  $(N-1)$  разрядов и внутреннюю шину управления  $BU$ , содержащую  $N$  разрядов.

Предлагаемое устройство для объединения групп данных также содержит  $k$  каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ , из которых каждый  $i$ -й каскад, где  $i=0, 1, \dots, (k-1)$ , содержит по  $(N-2^i)$  первых групп мультиплексоров, вторую группу из  $(N-1)$  мультиплексоров  $2_1, 2_2, \dots, 2_{(N-1)}$ , третью группу из  $N$  мультиплексоров  $3_1, 3_2, \dots, 3_N$ , дешифратор 4, элемент И с инверсным входом 5 и группу из  $(N-1)$  элементов ИЛИ  $6_2, 6_3, \dots, 6_N$ .

Причем  $N$  разрядов первой  $A$  внешней группы входов соединены с первыми информационными входами одноименных элементов третьей группы из  $N$  мультиплексоров  $3_1, 3_2, \dots, 3_N$ . При этом  $k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  являются входными шинами одноименных каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ .

$(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со второго разряда до  $N$ -го разряда, являются соответствующими  $(N-1)$  разрядами нулевой внутренней шины  $BS_0$ , начиная с первого разряда до  $(N-1)$ -го разряда. Кроме того  $(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со первого до  $(N-1)$ -го разряда, соединены с первыми информационными входами одноименных элементов второй группы из  $(N-1)$  мультиплексоров  $2_1, 2_2, \dots, 2_{(N-1)}$ .

Причем в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  первые информационные входы мультиплексоров соединены с одноименными разрядами соответствующей  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ , а нулевые информационные входы каждого  $j$ -го мультиплексора из первых групп мультиплексоров, где  $j=1, 2, \dots, (N-2^i)$ , соединены с соответствующим  $j+2^i$  разрядом одноименной  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ .

Кроме того в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  входы управления мультиплексорами соединены между собой в  $i$ -м каскаде и соединены с соответствующим одноименным  $i$ -м разрядом  $v_i$  из группы  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов  $M$ .

Причем в каждом  $i$ -м каскаде, из первых  $(k-1)$  каскадов  $1_0, 1_1, \dots, 1_{(k-2)}$ , начиная с нулевого каскада до  $(k-2)$ -го каскада, выход каждого  $j$ -го мультиплексора из первых групп мультиплексоров является соответствующим одноименным  $j$ -м разрядом входной шины следующего каскада  $BS_{(i+1)}$ , в которой старшие  $2^i$  разрядов, начиная с  $(N-2^i)$ -го разряда до  $(N-1)$ -го разряда, соединены с одноименными старшими  $2^i$  разрядами входной шины предыдущего  $i$ -го каскада  $BS_{(i)}$ .

Кроме того выходы  $(N-2^{(k-1)})$  мультиплексоров старшего  $k$ -го каскада  $1_{(k-1)}$  являются соответствующими одноименными разрядами внутренней шины сдвига  $SB$ , у которой старшие  $2^{(k-1)}$  разрядов, начиная с  $2^{(k-1)}$  разряда до  $(N-1)$  разряда соединены с одноименными старшими  $2^i$  разрядами входной шины старшего каскада в  $BS_{(k-1)}$ .

Причем все  $(N-1)$  разрядов внутренней шины сдвига  $SB$  соединены с нулевыми информационными входами одноименных элементов второй группы из  $(N-1)$  мультиплексоров  $2_1, 2_2, \dots, 2_{(N-1)}$ , выходы которых соединены с нулевыми информационными входами одноименных элементов  $3_1, 3_2, \dots, 3_{(N-1)}$  из третьей группы

мультиплексоров  $3_1, 3_2, \dots, 3_N$ , в которой нулевой информационный вход старшего мультиплексора  $3_N$  соединен с N-м разрядом второй группы В внешних входов.

Старший  $v_k$ -й разряд внешней входной шины задания количества разрядов М соединен с входами управления всех мультиплексоров второй группы  $2_1, 2_2, \dots, 2_{(N-1)}$ , а также соединен с инверсным входом элемента И 5.

Кроме того младшие  $k$  разрядов  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов М соединены с соответствующими одноименными входами дешифратора 4, у которого нулевой выход соединен с прямым входом элемента И с инверсным входом 5, выход которого является первым разрядом внутренней шины управления ВU, а выходы дешифратора 4, начиная с первого выхода до  $(2^k-1)$ -го выхода, соединены со вторыми входами соответствующих элементов ИЛИ из группы  $b_2, b_3, \dots, b_N$ , выходы которых являются соответствующими разрядами внутренней шины управления ВU, начиная со второго разряда до N-го разряда.

При этом выходы первых  $(N-2)$  элементов ИЛИ, начиная с первого элемента  $b_2$  до  $(N-2)$ -го элемента  $b_{(N-1)}$ , соединены с первыми входами последующих  $(N-2)$  элементов ИЛИ, начиная со второго элемента  $b_3$  до  $(N-1)$ -го элемента  $b_N$ , а первый вход первого элемента ИЛИ  $b_2$  соединен с выходом элемента И с инверсным входом 5.

Причем все N разрядов шины управления ВU соединены с входами управления одноименных мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$ , выходы которых являются одноименными N разрядами выходной группы Q.

#### ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем. Устройство предназначено для объединения (соединения) старших разрядов первой А и второй В групп входных данных (операндов), содержащих по N разрядов. Количество старших разрядов передаваемых из второй группы В задается на внешней входной шине М. При этом из первой группы А передается  $(N-M)$  старших разрядов.

На фиг. 2 приведена схема формирования N разрядов выходных данных Q. При этом в  $(N-M)$  старшие разряды группы внешних выходов Q передаются старшие разряды первой группы внешних входов А, начиная с  $(M+1)$ -го разряда до N-го разряда, а в младшие М разрядов передаются старшие М разрядов второй группы внешних входов В, начиная с  $(N-M+1)$ -го разряда до N-го разряда.

В таблице 1 приведен пример формирования выходных данных при  $N=8$  и задании числа разрядов М из второй группы В в диапазоне от 0 до  $N=8$ . Например, при  $M=3$  на выходные пять старших разрядов  $q_8-q_4$  выходной группы Q передаются пять старших разрядов  $a_8-a_4$  первой группы А, а на три младшие разряды  $q_3-q_1$  выходной группы Q передаются три старшие разряда  $b_8-b_6$  второй группы В. При этом при  $M=0$  на группу выходов Q передаются все разряды  $a_8-a_1$  первой группы входов А, а при  $M=8$  передаются все разряды  $b_8-b_1$  второй группы входов В.

В каскадах  $1_0, 1_1, \dots, 1_{(k-1)}$  первых групп мультиплексоров осуществляется передача (сдвиг) М старших разрядов второй группы В, начиная со старшего разряда  $b_8$ , в младшие разряды, начиная с первого разряда, внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$ , содержащие по  $(N-1)$  разрядов. При этом в каждом  $i$ -м каскаде, где  $i=0, 1, \dots, (k-1)$  - номер каскада, выполняется передача данных без сдвига (при  $v_i=1$ ) или со сдвигом на  $2^i$  разрядов (при  $v_i=0$ ) старших разрядов в младшие. На входы 0-го каскада  $1_0$  с внутренней шины  $BS_0$  поступают  $(N-1)$  разрядов второй группы внешних входов В,

начиная со второго разряда  $b_2$  до  $N$ -го разряда.

Выходы старшего каскада  $1_{(k-1)}$  передаются на разряды внутренней шины сдвига SB, с которой далее поступают на нулевые информационные входы одноименных элементов второй группы из  $(N-1)$  мультиплексоров  $2_1, 2_2, \dots, 2_{(N-1)}$ . В таблице 2

приведены связи между разрядами внутренней шины сдвига SB и разрядами второй группы внешних входов В для при  $N=8$  и задании числа  $M$  в диапазоне от 0 до  $N=8$ . Во второй группе из  $(N-1)$  мультиплексоров  $2_1, 2_2, \dots, 2_{(N-1)}$  на выходы передаются все разряды  $b_8-b_1$  второй группы внешних входов В (при  $v_k=1$ ) или сдвинутые  $M$  старших разрядов второй группы внешних входов В (при  $v_k=0$ ) с внутренней шины сдвига SB, которые передаются в младшие разряды.

Одновременно на входы дешифратора 4 поступает  $k$  младших разрядов  $v_0, v_1, \dots, v_{(k-1)}$  с шины  $M$  задания количества разрядов второй группы В входных данных. На выходах дешифратора 4 формируются унитарные коды «1 из  $N$ ». Единичное значение, установленное на одном из выходов дешифратора 4, передается на соответствующий вход элемента И с инверсным входом 5 или группы из  $(N-1)$  элементов ИЛИ  $6_2, 6_3, \dots, 6_N$  и далее последовательно передается по цепочке элементов ИЛИ в сторону старших разрядов. При этом на внутренней шине управления ВU, устанавливается упорядоченная последовательность единичных значений (унитарный позиционный ряд  $11\dots100\dots0$ ), начиная с  $M$ -го разряда до старшего  $N$ -го разряда. Далее значения  $N$  разрядов с внутренней шины управления ВU поступают на входы управления одноименных мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$ . При этом при нулевых значениях разрядов шины управления ВU на выходы передаются значения сдвинутых  $M$  старших разрядов второй группы В входных данных, при единичном значении разрядов шины управления ВU на выходы передаются значения  $(N-M)$  старших разрядов первой группы входных данных А.

Далее значения с выходов мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$  передается на группу внешних выходов Q. Таким образом, на выходах устройства осуществляется объединение (соединение)  $(N-M)$  старших разрядов первой группы входных данных А и  $M$  старших разрядов второй группы В входных данных (таблица 2).

Предлагаемое устройство работает следующим образом.

На внешние входы устройства подаются по  $N$  разрядов первой А и второй В групп входных данных (операндов). Одновременно на  $(k+1)$  разрядах  $v_0, v_1, \dots, v_k$  внешней входной шины  $M$  задается двоичный код количества разрядов из второй выходной группы В.

Далее  $(N-1)$  разрядов второй В группы входных данных, начиная со второго разряда до  $N$ -го разряда, передаются на соответствующие разряды, начиная с первого разряда до  $(N-1)$ -го разряда, внутренней шины BS0 и далее на входы 0-го каскада  $1_0$  первых групп мультиплексоров. Например, для  $N=8$  на внутреннюю шину BS0 передаются разряды  $b_8-b_2$  второй В группы входных данных. Далее в 0-м каскаде может выполняться сдвиг на 1 разряд ( $2^0$ ) в сторону младших разрядов (при  $v_0=0$ ) или передача без сдвига (при  $v_0=1$ ) с внутренней шины BS0 и результат с выходов мультиплексоров передается на внутреннюю шину BS1, которая является входной шиной для первого  $1_1$  каскада.

Далее в первом каскаде может выполняться сдвиг на два ( $2^1$ ) разряда или передача без сдвига с внутренней шины BS1 в зависимости от значения разряда  $v_1$  и результат с выходов мультиплексоров передается на следующую внутреннюю шину для второго

каскада BS2. Аналогично в следующих каскадах  $1_i$  возможно осуществление сдвига на  $2^i$  разрядов или передача без сдвига с внутренней шины BS $_i$  зависимости от значения разряда  $v_i$ .

5 Результат сдвига разрядов второй В группы входных данных на заданные М разрядов передается на внутреннюю шину сдвига SB. В таблице 2 приведены результаты сдвига при N=8 и задании числа М в диапазоне от 0 до N=8. Например, при М=3 в младшие (sb3, sb2, sb1) разряды шины сдвига SB передаются три старшие разряда b8-b6 второй В группы входных данных, а также в старшие разряды (sb7-sb4) соответствующие значения разрядов (b8-b5) группы В. При М=0 на все разряды шины сдвига SB передается значение старшего разряда b8. В отличие от логического сдвига в разрядах с (М+1)-го до (N-1)-го не формируются нулевые значения или не передаются младшие разряды второй В группы как при циклическом сдвиге, так как разряды с (М+1)-го до (N-1)-го с шины сдвига SB не передаются на выходы устройства.

15 При нулевом значении старшего разряда  $v_k=0$  шины М значения разрядов с шины сдвига SB, а при единичном значении  $v_k=1$  значения разрядов b7-b1 второй группы В, передаются через вторую группу  $2_1, 2_2, \dots, 2_{(N-1)}$  из (N-1) мультиплексоров, на нулевые информационные входы (N-1) мультиплексоров из третьей группы  $3_1, 3_2, \dots, 3_{(N-1)}$ , а также на нулевой информационный вход старшего мультиплексора  $3_N$  передается значение старшего N-го разряда второй группы В внешних входов.

20 Одновременно в зависимости от значений k младших разрядов  $v_0, v_1, \dots, v_{(k-1)}$  с шины М задания количества разрядов второй группы В входных данных на выходах дешифратора 4 формируются унитарные коды «1 из N». При этом единичное значение формируется только на одном М-ом выходе дешифратора 4, которое далее передается на соответствующий вход элемента И с инверсным входом 5 или группы из (N-1) элементов ИЛИ  $6_2, 6_3, \dots, 6_N$ . Далее единичное значение последовательно передается по цепочке элементов ИЛИ в сторону старших разрядов и на внутренней шине управления ВU устанавливается упорядоченная последовательность единичных значений (унитарный позиционный ряд 11...100..0), начиная с (М+1)-го разряда до старшего N-го разряда.

30 Далее значения N разрядов с внутренней шины управления ВU поступают на входы управления одноименных мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$ . При этом при нулевых значениях разрядов шины управления ВU на выходы мультиплексоров передаются сдвинутые М старших разрядов  $b_N, b_{(N-1)}, \dots, b_{(N-M+1)}$  второй группы В входных данных, расположенные в соответствующих М младших разрядах М, (М-1), ..., 1, а при единичном значении разрядов шины управления ВU на выходы мультиплексоров N, (N-1), ..., (М+1) передаются (N-М) старших разрядов  $a_N, a_{(N-1)}, \dots, a_{(М+1)}$  первой группы входных данных А.

40 При единичном значении старшего разряда  $v_k=1$  ( $v_3=1$  при N=8 и М=8) шины М значения разрядов с шины В второй группы входных данных через вторую группу  $2_1, 2_2, \dots, 2_{(N-1)}$  из (N-1) мультиплексоров на нулевые информационные входы мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$  будут переданы значения всех N разрядов  $b_N-b_1$ . Одновременно при этом нулевое значение будет установлено на выходе элемента И с инверсным входом 5, а также нулевые значения на выходах с первого до (N-1)-го дешифратора 4. Поэтому нулевые значения будут установлены на всех разрядах шины управления ВU и далее значение всех разрядов  $b_N-b_1$  второй группы В входных данных передаются на выходы мультиплексоров третьей группы  $3_1, 3_2, \dots, 3_N$ , которые

передаются на одноименные  $N$  разрядов выходной группы  $Q$  (в таблице 2 правый столбец при  $M=8$ ).

При нулевых значениях всех разрядов  $(k+1)$  разрядов  $v_0, v_1, \dots, v_k$  с шины  $M$  задания количества разрядов второй группы  $B$  входных данных единичное значение будет  
 5 установлено на нулевом выходе дешифратора 4, по которому далее единичные значения формируются на выходах элемента  $И$  с инверсным входом 5 и группы из  $(N-1)$  элементов ИЛИ  $b_2, b_3, \dots, b_N$  и далее единичное значение будет установлено на всех разрядах  
 10 шины управления  $ВU$ , по которым с единичных информационных входов мультиплекторов третьей группы  $3_1, 3_2, \dots, 3_N$  все  $N$  разрядов  $a_{N-1}$  первой группы  $A$  входных данных передаются на выходы мультиплекторов третьей группы  $3_1, 3_2, \dots, 3_N$ , которые передаются на одноименные  $N$  разрядов выходной группы  $Q$  (в таблице 2 левый столбец при  $M=0$ ).

Таким образом, в предлагаемом устройстве на  $N$  разрядов выходной группы  $Q$  в  
 15 старшие разряды передаются  $(N-M)$  старших разрядов  $a_{N-a(M+1)}$  первой группы  $A$  входных данных, которые объединяются (соединяются) с  $M$  старшими разрядами  $b_{N-b(N-M+1)}$  второй группы  $B$  входных данных, которые передаются в соответствующие  $M$  младшие разряды выходной группы  $Q$ .

Вышеизложенные сведения позволяют сделать вывод, что предлагаемое устройство  
 20 для объединения групп данных обладает регулярностью узлов и связей и соответствует заявляемому техническому результату - возможность объединения старших разрядов первой  $A$  и второй  $B$  групп данных с заданным количеством разрядов из групп.

#### (57) Формула изобретения

25 Устройство для объединения групп данных содержит первую  $A$  и вторую  $B$  внешние группы входных данных и выходную группу  $Q$ , содержащие по  $N$  разрядов, третью группу из  $(k+1)$  разрядов  $v_0, v_1, \dots, v_k$  внешней входной шины задания количества разрядов  $M$  из второй группы  $B$  входных данных (где  $M$  задается в диапазоне от 0 до  $N$ ,  $k=\log_2 N[(\text{большее целое})]$ ,  $k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  и внутреннюю  
 30 шину сдвига  $SB$ , содержащие по  $(N-1)$  разрядов, и внутреннюю шину управления  $ВU$ , содержащую  $N$  разрядов,

а также содержит  $k$  каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ , из которых каждый  $i$ -й каскад, где  $i=0, 1, \dots, (k-1)$ , содержит по  $(N-1-2^i)$  первых групп мультиплекторов, вторую группу из  $(N-1)$  мультиплекторов  $2_1, 2_2, \dots, 2_{(N-1)}$ , третью группу из  $N$  мультиплекторов  $3_1, 3_2, \dots, 3_N$ ,  
 35 дешифратор 4, элемент  $И$  с инверсным входом 5 и группу из  $(N-1)$  элементов ИЛИ  $b_2, b_3, \dots, b_N$ ,

причем  $N$  разрядов первой  $A$  внешней группы входов соединены с первыми информационными входами одноименных элементов третьей группы из  $N$   
 40 мультиплекторов  $3_1, 3_2, \dots, 3_N$ ,

$k$  внутренних шин  $BS_0, BS_1, \dots, BS_{(k-1)}$  являются входными шинами одноименных каскадов  $1_0, 1_1, \dots, 1_{(k-1)}$ ,

$(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со второго разряда до  $N$ -  
 45 го разряда, являются соответствующими  $(N-1)$  разрядами нулевой внутренней шины  $BS_0$ , начиная с первого разряда до  $(N-1)$ -го разряда, а также  $(N-1)$  разрядов второй  $B$  внешней группы входов, начиная со первого до  $(N-1)$ -го разряда, соединены с первыми информационными входами одноименных элементов второй группы из  $(N-1)$

мультиплекторов  $2_1, 2_2, \dots, 2_{(N-1)}$ ,

причем в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  первые информационные входы мультиплекторов соединены с одноименными разрядами соответствующей  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ , а нулевые информационные входы каждого  $j$ -го мультиплексора из первых групп мультиплекторов, где  $j=1, 2, \dots, (N-1-2^i)$ , соединены с соответствующим  $j+2^i$  разрядом одноименной  $i$ -й внутренней шины  $BS_i$  из группы  $BS_0, BS_1, \dots, BS_{(k-1)}$ ,

кроме того, в каждом  $i$ -м каскаде из группы  $1_0, 1_1, \dots, 1_{(k-1)}$  входы управления мультиплекторами соединены между собой в  $i$ -м каскаде и соединены с соответствующим одноименным  $i$ -м разрядом  $v_i$  из группы  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов  $M$ ,

причем в каждом  $i$ -м каскаде из первых  $(k-1)$  каскадов  $1_0, 1_1, \dots, 1_{(k-2)}$ , начиная с нулевого каскада до  $(k-2)$ -го каскада, выход каждого  $j$ -го мультиплексора из первых групп мультиплекторов является соответствующим одноименным  $j$ -м разрядом входной шины следующего каскада  $BS_{(i+1)}$ , в которой старшие  $2^i$  разрядов, начиная с  $(N-2^i)$ -го разряда до  $(N-1)$ -го разряда, соединены с одноименными старшими  $2^i$  разрядами входной шины предыдущего  $i$ -го каскада  $BS_i$ ,

кроме того, выходы  $(N-1-2^{(k-1)})$  мультиплекторов старшего  $k$ -го каскада  $1_{(k-1)}$  являются соответствующими одноименными разрядами внутренней шины сдвига  $SB$ , у которой старшие  $2^{(k-1)}$  разрядов, начиная с  $2^{(k-1)}$  разряда до  $(N-1)$  разряда, соединены с одноименными старшими  $2^i$  разрядами входной шины старшего каскада в  $BS_{(k-1)}$ ,

причем все  $(N-1)$  разрядов внутренней шины сдвига  $SB$  соединены с нулевыми информационными входами одноименных элементов второй группы из  $(N-1)$  мультиплекторов  $2_1, 2_2, \dots, 2_{(N-1)}$ , выходы которых соединены с нулевыми информационными входами одноименных элементов  $3_1, 3_2, \dots, 3_{(N-1)}$  из третьей группы мультиплекторов  $3_1, 3_2, \dots, 3_N$ , в которой нулевой информационный вход старшего мультиплексора  $3_N$  соединен с  $N$ -м разрядом второй группы  $B$  внешних входов,

старший  $v_k$ -й разряд внешней входной шины задания количества разрядов  $M$  соединен с входами управления всех мультиплекторов второй группы  $2_1, 2_2, \dots, 2_{(N-1)}$ , а также соединен с инверсным входом элемента  $I$  5,

кроме того, младшие  $k$  разрядов  $v_0, v_1, \dots, v_{(k-1)}$  внешней входной шины задания количества разрядов  $M$  соединены с соответствующими одноименными входами дешифратора 4, у которого нулевой выход соединен с прямым входом элемента  $I$  с инверсным входом 5, выход которого является первым разрядом внутренней шины управления  $VU$ , а выходы дешифратора 4, начиная с первого выхода до  $(2^k-1)$ -го выхода, соединены со вторыми входами соответствующих элементов ИЛИ из группы  $b_2, b_3, \dots, b_N$ , выходы которых являются соответствующими разрядами внутренней шины управления  $VU$ , начиная со второго разряда до  $N$ -го разряда,

при этом выходы первых  $(N-2)$  элементов ИЛИ, начиная с первого элемента  $b_2$  до  $(N-2)$ -го элемента  $b_{(N-1)}$ , соединены с первыми входами последующих  $(N-2)$  элементов ИЛИ, начиная со второго элемента  $b_3$  до  $(N-1)$ -го элемента  $b_N$ , а первый вход первого элемента ИЛИ  $b_2$  соединен с выходом элемента  $I$  с инверсным входом 5,

причем все  $N$  разрядов шины управления ВU соединены с входами управления одноименных мультиплексоров третьей группы  $Z_1, Z_2, \dots, Z_N$ , выходы которых являются одноименными  $N$  разрядами выходной группы Q.

5

10

15

20

25

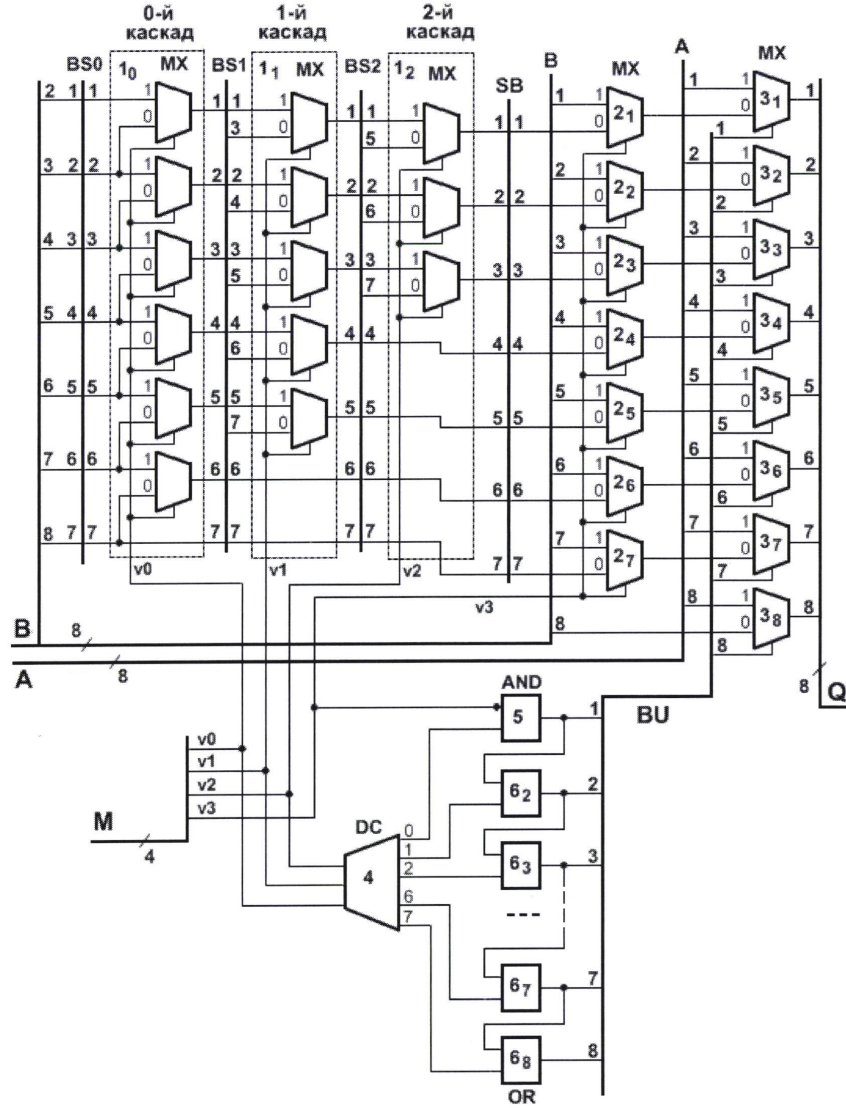
30

35

40

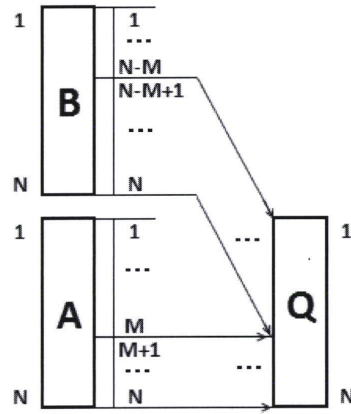
45

1



Фиг. 1

2



Фиг. 2

Таблица 1

Q	M								
	0	1	2	3	4	5	6	7	8
q1	a1	b8	b7	b6	b5	b4	b3	b2	b1
q2	a2	a2	b8	b7	b6	b5	b4	b3	b2
q3	a3	a3	a3	b8	b7	b6	b5	b4	b3
q4	a4	a4	a4	a4	b8	b7	b6	b4	b4
q5	a5	a5	a5	a5	a5	b8	b7	b6	b5
q6	a6	a6	a6	a6	a6	a6	b8	b7	b6
q7	a7	a7	a7	a7	a7	a7	a7	b8	b7
q8	a8	a8	a8	a8	a8	a8	a8	a8	b8

A B

Таблица 2

SB	M							
	0	1	2	3	4	5	6	7
sb1	b8	b8	b7	b6	b5	b4	b3	b2
sb2	b8	b7	b8	b7	b6	b5	b4	b3
sb3	b8	b8	b8	b8	b7	b6	b5	b4
sb4	b8	b7	b6	b5	b8	b7	b6	b5
sb5	b8	b8	b7	b6	b8	b8	b7	b6
sb6	b8	b7	b8	b7	b8	b7	b8	b7
sb7	b8	b8	b8	b8	b8	b8	b8	b8