



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

*G06F 13/1605* (2021.02); *G06F 13/366* (2021.02); *H03M 7/22* (2021.02)

(21)(22) Заявка: 2020134951, 26.10.2020

(24) Дата начала отсчета срока действия патента:  
26.10.2020Дата регистрации:  
07.06.2021

Приоритет(ы):

(22) Дата подачи заявки: 26.10.2020

(45) Опубликовано: 07.06.2021 Бюл. № 16

Адрес для переписки:

115409, Москва, Каширское ш., 31, НИЯУ  
МИФИ ОУИС УНИ Бейгул Г.В.

(72) Автор(ы):

**Шурыгин Виктор Александрович (RU),  
Ядыкин Игорь Михайлович (RU)**

(73) Патентообладатель(и):

**федеральное государственное автономное  
образовательное учреждение высшего  
образования "Национальный  
исследовательский ядерный университет  
МИФИ" (НИЯУ МИФИ) (RU)**

(56) Список документов, цитированных в отчете

о поиске: RU 2649948 C1, 05.04.2018. RU  
2589317 C1, 10.07.2016. RU 2591017 C1,  
10.07.2016. RU 2415465 C2, 27.03.2011. JPH  
7129503 A, 19.05.1995. US 10268604 B2,  
23.04.2019.

## (54) АРБИТР ДИСПЕТЧЕРА ЗАДАЧ

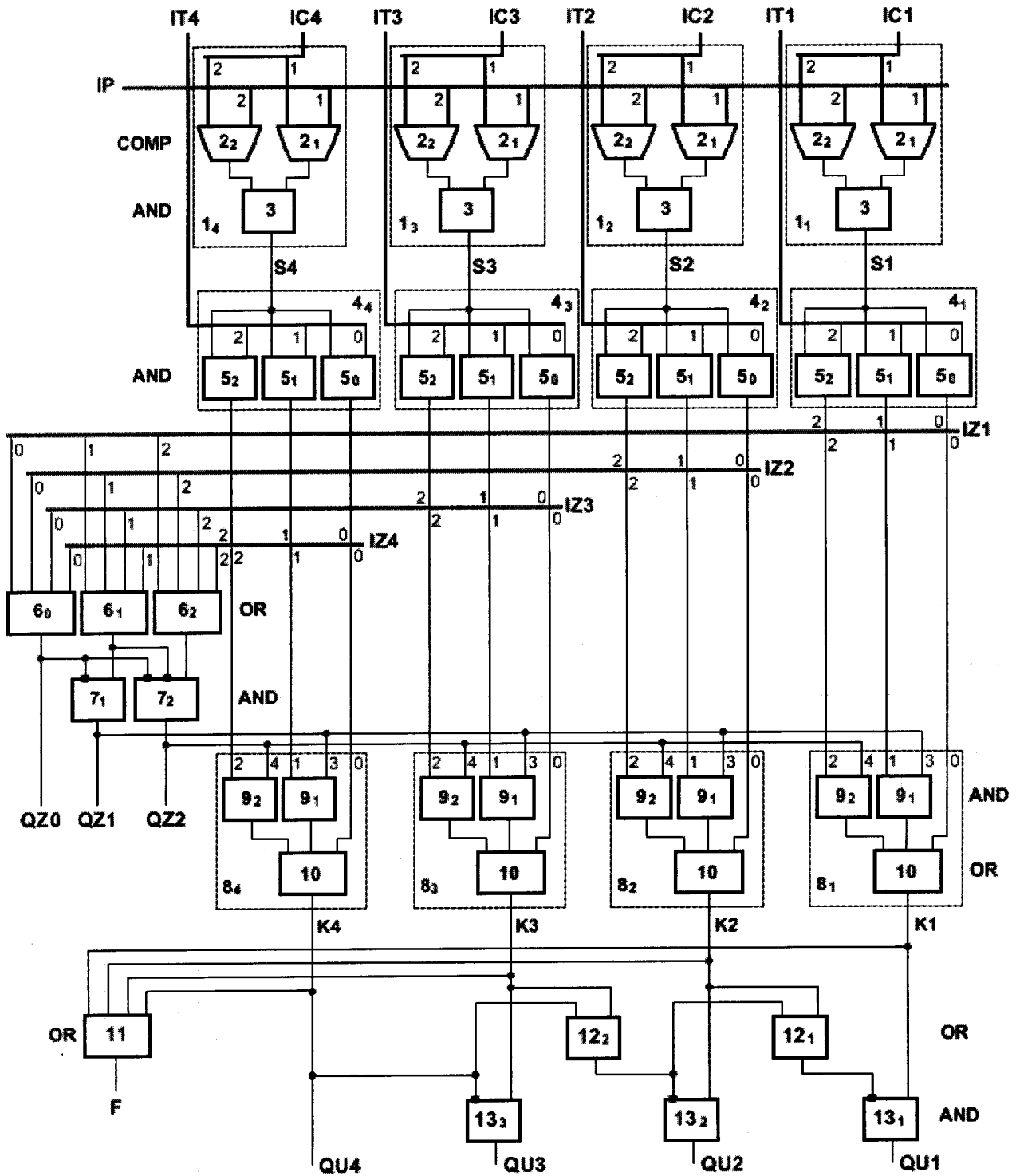
(57) Реферат:

Изобретение относится к области вычислительной техники и может быть использовано для арбитража в многопроцессорных системах обработки информации для распараллеливания потока заявок. Техническим результатом является обеспечение возможности анализа параметров входной задачи и параметров каналов обработки задач. Устройство содержит внешнюю шину входной заявки IP и N внешних шин параметров каналов IC1, IC2, ..., ICN, которые состоят из L групп параметров, N внешних шин занятости каналов IT1, IT2, ..., ITN, каждая из которых содержит M разрядов ранга приоритета (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший канал ITN), первую группу из N внешних выходов указателей канала старшего приоритета QU1, QU2, ..., QUN и вторую группу из M внешних выходов указателей высшего ранга приоритета в канале

OZ0, OZ1, ..., OZ(M-1), N внутренних шин запросов IZ1, IZ2, ..., IZN, каждая из которых содержит M разрядов приоритета, N разрядов внутренней шины состояния каналов S1, S2, ..., SN, N разрядов внутренней шины готовности каналов K1, K2, ..., KN и флаг готовности F, а также содержит группу из N блоков анализа параметров, каждый из которых содержит группу из L компараторов и элемент И, группу из N блоков разрешения запросов, каждый из которых содержит первую группу из M элементов И, первую группу из M элементов ИЛИ, вторую группу из (M-1) элементов запрета И с инверсными входами, группу из N блоков анализа готовности каналов, каждый из которых содержит третью группу из (M-1) элементов И и первый элемент ИЛИ, а также второй элемент ИЛИ, вторую группу из (N-2) элементов ИЛИ и четвертую группу из (N-1) элементов запрета И с одним инверсным входом. 1 ил., 1 табл.

RU 2 749 151 C1

RU 2 749 151 C1



Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*G06F 13/37* (2006.01)  
*G06F 9/50* (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC

*G06F 13/1605 (2021.02); G06F 13/366 (2021.02); H03M 7/22 (2021.02)*(21)(22) Application: **2020134951, 26.10.2020**(24) Effective date for property rights:  
**26.10.2020**Registration date:  
**07.06.2021**

Priority:

(22) Date of filing: **26.10.2020**(45) Date of publication: **07.06.2021** Bull. № 16

Mail address:

**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI  
OUIS UNI Bejgul G.V.**

(72) Inventor(s):

**Shurygin Viktor Aleksandrovich (RU),  
Yadykin Igor Mikhajlovich (RU)**

(73) Proprietor(s):

**federalnoe gosudarstvennoe avtonomnoe  
obrazovatelnoe uchrezhdenie vysshego  
obrazovaniya "Natsionalnyj issledovatel'skij  
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**(54) **TASK DISPATCHER ARBITER**

(57) Abstract:

FIELD: computer technology.

SUBSTANCE: invention relates to the field of computer technology and can be used for arbitration in multiprocessor information processing systems for parallelizing the flow of applications. The device has an external bus of the input IP request and N external buses of parameters of channels IC1, IC2, ..., ICN, which consist of L groups of parameters, N external buses of occupancy of IT1, IT2, ..., ITN channels, each of which contains M bits of priority rank (the highest priority rank has the lowest zero bit, the highest priority is the highest ITN channel), the first group of N external outputs of the indicators of the highest priority channel QU1, QU2, ..., QUN and the second group of M external outputs of the indicators of the highest priority rank in the channel OZ0, OZ1, ..., OZ (M-1), N internal buses of requests IZ1, IZ2, ..., IZN, each of which contains M bits of priority, N bits of the internal bus of status of channels S1, S2, ..., SN, N bits of the internal

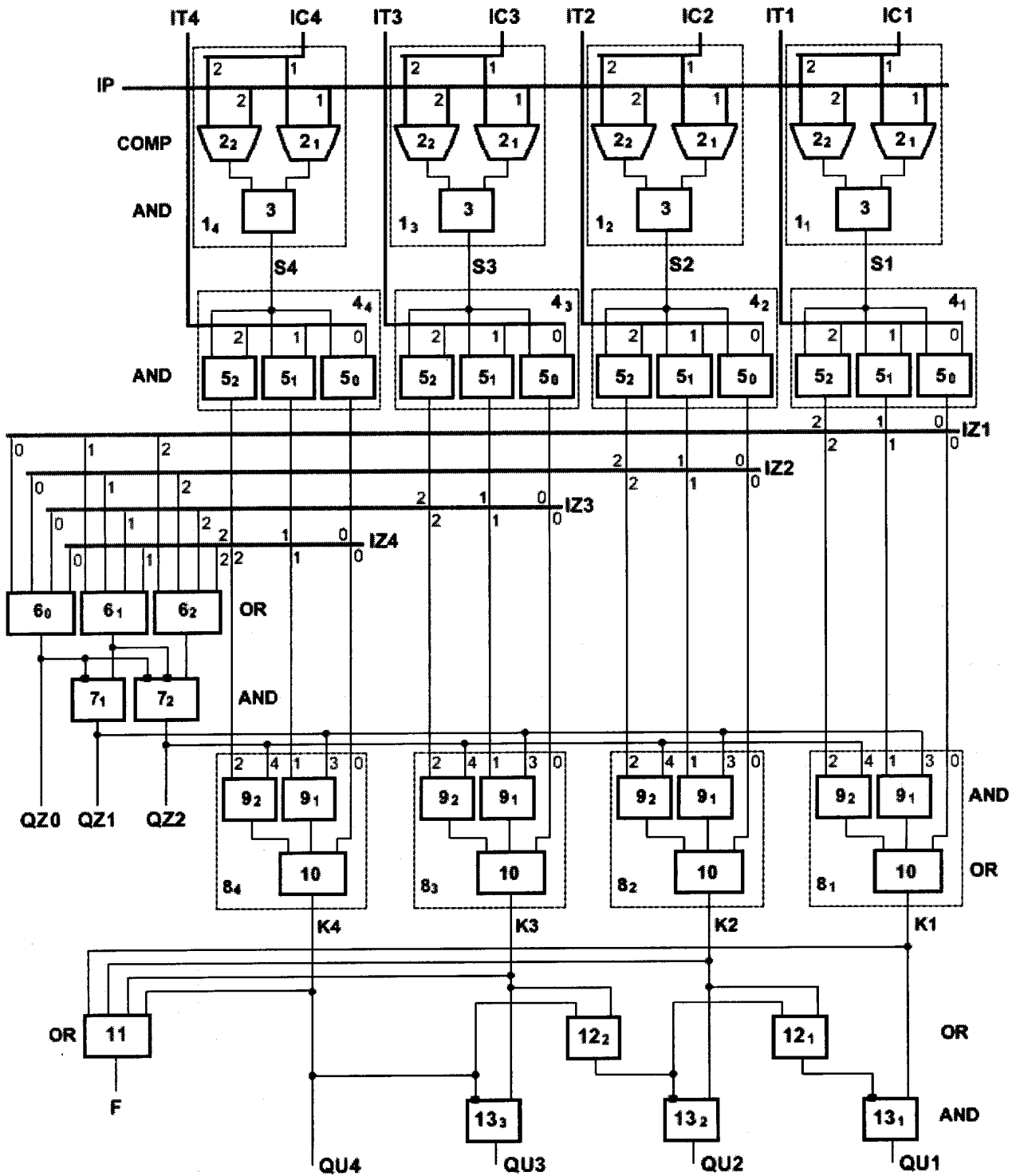
bus of readiness of channels K1, K2, ..., KN and the readiness flag F, and also contains a group of N parameter analysis blocks, each of which contains a group of L comparators and an AND element, a group of N request resolution blocks, each of which contains the first group of M AND elements, the first group of M OR elements, the second group of (M-1) AND inhibit elements with inverse inputs, a group of N channels readiness analysis blocks, each of which contains the third group of (M-1) AND elements and the first OR element, and also the second OR element, the second group of (N-2) OR elements and the fourth group of (N-1) AND inhibit elements with one inverse input.

EFFECT: invention makes it possible to provide possibility of analyzing the parameters of the input problem and the parameters of the channels for processing tasks.

1 cl, 1 dwg, 1 tbl

RU 2749151 C1

RU 2749151 C1



Фиг. 1

## ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники и может быть использовано для арбитража в многопроцессорных системах обработки информации для распараллеливания потока заявок.

## 5 ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ

Известно многоканальное устройство приоритета (RU №2415465 С2, МПК G06F 9/46, заявлен 01.06.2009, опубликован 27.03.2011, Бюл. №9), содержащее  $M$  каналов, каждый из которых содержит дешифратор, группу элементов И, первый и второй элементы ИЛИ, элемент И с прямым и инверсными входами, элемент задержки, группу 10 кодовых входов приоритете, вход запроса и выход ответа, причем в каждом канале вход запроса соединен с входом элемента задержки, выход которого соединен со вторыми входами всех элементов И группы элементов И своего канала, группа кодовых входов канала соединена с группой входов дешифратора канала, а выход первого элемента ИЛИ является выходом ответа канала.

15 В данном устройстве введена дисциплина обслуживания запросов абонентов с абсолютными приоритетами, которые могут оперативно изменяться при перенастройке вычислительной системы. Недостатком данного устройства является задание только не одинаковых приоритетов и невозможность одновременного задания нескольких уровней (рангов) приоритетов в каждом канале.

20 Известен многовыходной указатель старшей единицы (RU №2591017 С1, МПК H03M 7/22, G06F 13/37, G06F 9/46, заявлен 23.07.2015, опубликован 10.07.2016, Бюл. №19), содержащий группу из  $N$  внешних входов запроса  $Z_1, Z_2, \dots, Z_N$  (высший приоритет имеет вход  $Z_N$ ),  $K$  каскадов ( $K$  - количество формируемых указателей старших единиц) и  $K$  групп внешних выходов  $U$  указателей старшей единицы, при этом каждый  $i$ -й каскад 25 ( $i=1, 2, \dots, K$ ) содержит группу из  $(N-i-1)$  элементов ИЛИ  $1_i, 1_{i2}, \dots, 1_{i(N-i-1)}$  и группу из  $(N-i)$  элементов запрета И с одним инверсным входом  $2_{i1}, 2_{i2}, \dots, 2_{i(N-i)}$ , а также группу из  $(N+1-i)$  входов запроса в  $i$ -й каскад  $A_{i1}, A_{i2}, \dots, A_{i(N+1-i)}$  и группу из  $(N+1-i)$  внешних 30 выходов указателей старшей единицы  $i$ -го ранга  $U_{i1}, U_{i2}, \dots, U_{i(N+1-i)}$  (1-й ранг имеет высший приоритет), каждый из первых  $(K-1)$  каскадов, кроме последнего  $K$ -го каскада содержит также группу из  $(N-i)$  элементов И  $3_{i1}, 3_{i2}, \dots, 3_{i(N-i)}$  и группу из  $(N-i)$  выходов 35 запроса  $S_{i1}, S_{i2}, \dots, S_{i(N-i)}$  в следующий  $(i+1)$ -й каскад.

Недостатком данного устройства является определение старшинства приоритетов только одного ранга.

35 К причинам, препятствующим достижению указанного ниже технического результата, относится отсутствие средств для анализа ранга многоприоритетных запросов и указания номера ранга приоритетного запроса.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является, принятый за прототип, арбитр приоритетов 40 многоранговых запросов (RU №2649948 С1, МПК G06F 13/37, заявлен 15.05.2017, опубликован 05.04.2018, Бюл. №10), содержащий  $N$  групп внешних входов запросов  $IZ_1, IZ_2, \dots, IZ_N$ , каждая из которых содержит  $M$  разрядов ранга приоритета (высший ранг приоритета имеет старший  $M$ -ый разряд, старший приоритет имеет старшая группа  $IZ_N$ ), первую группу из  $N$  внешних выходов указателей группы старшего приоритета 45  $U_1, U_2, \dots, U_N$ , вторую группу из  $M$  внешних выходов указателей высшего ранга приоритета в группе  $OZ_1, OZ_2, \dots, OZ_M$ , группу из  $(N-2)$  элементов ИЛИ  $4_1, 4_2, \dots, 4_{(N-2)}$ , первую группу из  $(N-1)$  элементов запрета И с одним инверсным входом  $5_1, 5_2, \dots,$

5  $5_{(N-1)}$ , группу из  $M$  элементов ИЛИ-НЕ  $6_1, 6_2, \dots, 6_M$ , вторую группу из  $(M-1)$  элементов запрета И с одним инверсным входом  $7_1, 7_2, \dots, 7_{(M-1)}$ , инвертор 8 и группу из  $N$  блоков каналов анализа приоритета  $1_1, 1_2, \dots, 1_N$ , каждый из которых содержит элемент ИЛИ 3 и группу из  $(M-1)$  элементов И  $2_1, 2_2, \dots, 2_{(M-1)}$ , при этом каждый  $v$ -й элемент И  $2_v$  ( $v=1, \dots, 2, (M-1)$ ) содержит  $(M-v+1)$  входов.

Недостатком данного устройства является отсутствие средств для анализа параметров требуемых параметров входных заявок и параметров каналов обработки задач.

#### ЗАДАЧА ИЗОБРЕТЕНИЯ

10 Задача, на решение которой направлено предлагаемое изобретение, заключается в создании арбитра диспетчера задач для многопроцессорных систем обработки и сокращение времени ожидания обслуживания, за счет анализа параметров каналов обработки и времени занятости каналов обслуживанием предыдущих заявок

15 Техническим результатом изобретения является расширение функциональных возможностей в части возможности анализа параметров входной задачи и параметров каналов обработки задач.

#### КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

20 Указанный технический результат при осуществлении изобретения достигается тем, что арбитр диспетчера задач содержит внешнюю шину входной заявки IP, которая состоит из  $L$  групп параметров задачи,  $N$  внешних шин параметров каналов IC1, IC2, ..., ICN, каждая из которых состоит из  $L$  групп параметров каналов,  $N$  внешних шин занятости каналов IT1, IT2, ..., ITN, каждая из которых содержит  $M$  разрядов ранга приоритета (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший канал ITN), первую группу из  $N$  внешних выходов указателей канала старшего приоритета QU1, QU2, ..., QUN и вторую группу из  $M$  внешних выходов указателей высшего ранга приоритета в канале OZ0, OZ1, ..., OZ(M-1),  $N$  внутренних шин запросов IZ1, IZ2, ..., IZN, каждая из которых содержит  $M$  разрядов приоритета,  $N$  разрядов внутренней шины состояния каналов S1, S2, ..., SN,  $N$  разрядов внутренней шины готовности каналов K1, K2, ..., KN и флаг готовности F, а также содержит группу 30 из  $N$  блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , каждый из которых содержит группу из  $L$  компараторов  $2_1, 2_2, \dots, 2_L$  и элемент И 3, группу из  $N$  блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$ , каждый из которых содержит первую группу из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$ , первую группу из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ , вторую группу из  $(M-1)$  35 элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , группу из  $N$  блоков анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , каждый из которых содержит третью группу из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  и первый элемент ИЛИ 10, а также второй элемент ИЛИ 11, вторую группу из  $(N-2)$  элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  и четвертую группу из 40  $(N-1)$  элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$ , причем  $L$  групп параметров задачи внешней шины входной заявки IP соединены с первыми группами входов соответствующих одноименных компараторов  $2_1, 2_2, \dots, 2_L$  всех  $N$  блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , в каждом из которых вторые группы входов компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующими одноименными  $L$  группами соответствующих  $N$  внешних шин параметров каналов IC1, IC2, ..., ICN, а также в каждом блоке анализа параметров  $1_1, 1_2, \dots, 1_N$  выходы компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующим элементом И3, выходы которых являются

соответствующими  $N$  разрядами  $S_1, S_2, \dots, S_N$  внутренней шины состояния каналов, в каждом из  $N$  блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$  первые входы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  соединены между собой, а также  
 5 подключены к соответствующим  $N$  разрядам  $S_1, S_2, \dots, S_N$  внутренней шины состояния каналов одноименным номеру канала, а вторые входы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  подключены к соответствующим одноименным  $M$   
 10 разрядам из  $N$  внешних шин занятости каналов  $IT_1, IT_2, \dots, IT_N$  одноименных номеру канала, причем выходы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  являются соответствующими  $M$  разрядами ранга приоритета, с 0-го по  $(M-1)$ -й разряды, соответствующих  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  одноименных номеру канала,

причем все  $M$  разрядов приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединены с соответствующими одноименными входами одноименных  $N$  блоков  
 15 анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , а также каждый  $i$ -й разряд ( $i=0, 1, \dots, (M-1)$ ) приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединен с соответствующим входом одноименного  $i$ -го элемента из первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ , при этом выходы элементов ИЛИ, начиная с первого  $6_1$  до  $M$ -  
 20 го  $6_{(M-1)}$ , соединены с первыми прямыми входами одноименных элементов второй группы из  $(M-1)$  элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , у которых инверсные входы  $j$ -го элемента  $7_j$  ( $j=1, 2, \dots, (M-1)$ ) соединены с соответствующими  
 25 выходами к элементам ( $k=0, 1, \dots, (j-1)$ ) первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ ,

одноименные входы  $M, (M+1), \dots, (2M-2)$  каждого из  $N$  блоков каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$  соединены между собой, а также подключены к  
 30 соответствующим выходам  $(M-1)$  элементов, начиная с первого до  $(M-1)$ -го элемента, из второй группы элементов И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ ,

выходы элементов И второй группы из  $(M-1)$  элементов запрета И с одним инверсным входом  $7_1, 7_2, \dots, 7_{(M-1)}$  являются соответствующими  $(M-1)$  выходами  $OZ_1, OZ_2, \dots, OZ$   
 35  $(M-1)$  второй группы из  $M$  внешних выходов указателей высшего ранга приоритета в канале, а младшим нулевым выходом  $OZ_0$  является выход элемента ИЛИ  $6_0$ ,

в каждом из  $N$  блоков  $8_1, 8_2, \dots, 8_N$  анализа готовности каналов  $(M-1)$  входов блока,  
 40 начиная с первого входа до  $(M-1)$  входа, соединены с соответствующими первыми входами одноименных элементов И из третьей группы из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока, у которых вторые входы соединены с соответствующими входами блока, начиная с  $M$ -го входа до  $(2M-2)$ -го входа, а выходы третьей группы из  $(M-1)$  элементов  
 45 И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока и 0-й вход блока соединены с соответствующими входами элемента ИЛИ  $10$ , выход которого является выходом соответствующего блока каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , которые подключены к  $N$  разрядам внутренней шины готовности каналов  $K_1, K_2, \dots, K_N$  и соответствующим входам второго элемента ИЛИ  $11$ , выход которого является флагом готовности  $F$ ,

причем выходы первых  $(N-1)$  блоков каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_{(N-1)}$ , начиная с первого блока до предпоследнего  $(N-1)$  блока, также соединены с  
 50 первыми прямыми входами соответствующих  $(N-1)$  элементов  $13_1, 13_2, 13_{(N-1)}$  четвертой

группы из элементов запрета И с одним инверсным входом, а выход последнего N-го блока каналов анализа приоритета  $\delta_N$ , соединен со вторым инверсным входом (N-1) элемента  $13_{(N-1)}$  четвертой группы из элементов запрета И с одним инверсным входом, выходы всех элементов второй группы из (N-2) элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  соединены со вторыми инверсными входами соответствующих одноименных первых (N-2) элементов  $13_1, 13_2, \dots, 13_{(N-2)}$  четвертой группы из элементов запрета И с одним инверсным входом, а также первые и вторые входы всех (N-2) элементов  $12_1, 12_2, \dots, 12_{(N-2)}$  из второй группы элементов ИЛИ подключены соответственно к первым прямым и ко вторым инверсным входам соответствующих (N-2) элементов И  $13_2, 13_3, \dots, 13_{(N-1)}$ , начиная со второго элемента до последнего (N-1) элемента четвертой группы элементов запрета И с одним инверсным входом, выходы четвертой группы элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$  являются первыми (N-1) внешними выходами  $QU_1, QU_2, \dots, QU_{(N-1)}$  из первой группы внешних выходов указателей канала старшего приоритета, а старшим N-м внешним выходом  $QUN$  является выход последнего N-го блока анализа готовности каналов приоритета  $\delta_N$ .

#### КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 представлена схема предлагаемого арбитра диспетчера задач для входных заявок IP содержащих L=2 групп параметров задач и для N=4 каналов обработки, каждый из которых содержит M=3 уровня (ранга) длительности обработки заявок (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший 4-й канал).

На фиг. 1 и в тексте введены следующие обозначения:

IP - внешняя шина входной заявки, содержащая L групп параметров задачи

IC1, IC2, ..., IC4 (ICN) - внешние шины параметров N=4 каналов обработки задач, содержащие по L групп параметров каналов;

IT1, IT2, ..., IT4 (ITN) - внешние шины занятости N=4 каналов обслуживанием заявок, каждая из которых содержит M=3 разрядов уровня (ранга) длительности обработки заявок (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший 4-й канал IT4 (ITN));

IZ1, IZ2, ..., IZ4 (IZN) - N=4 внутренних шин запросов, каждая из которых содержит M=3 разрядов ранга приоритета (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет группа IZ4 (IZN)),

F - флаг готовности;

K1, K2, ..., K4 (KN) - N разрядов внутренней шины готовности каналов к обслуживанию;

S1, S2, ..., S4 (SN) - N разрядов внутренней шины состояния каналов;

QU1, QU2, ..., QU4 (QUN) - первая группа из N=4 внешних выходов указателей канала старшего приоритета, QZ0, QZ1, ..., QZ2 (QZ(M-1)) - вторая группа из M=3 внешних выходов указателей

высшего ранга приоритета в канале,  $1_1, 1_2, \dots, 1_n$  - группа из N=4 блоков анализа параметров;

$2_1, 2_2, \dots, 2_L$  - группа из L=2 компараторов каждого блока анализа параметров  $1_1, 1_2, \dots, 1_n$ ,

3 - элемент И каждого блока каналов анализа параметров  $1_1, 1_2, \dots, 1_N, 4_1, 4_2, \dots, 4_N$

- группа из  $N=4$  блоков разрешения запросов;

$5_0, 5_1, \dots, 5_{(M-1)}$  - первая группа из  $M=3$  элементов И каждого блока разрешения запросов  $4_1, 4_2, \dots, 4_N, 6_0, 6_1, \dots, 6_{(M-1)}$  - первая группа из  $M=3$  элементов ИЛИ,

$7_1, 7_2, \dots, 7_{(M-1)}$  - вторая группа из  $(M-1)=2$  элементов запрета И с инверсными входами,

$8_1, 8_2, \dots, 8_N$  - группа из  $N=4$  блоков анализа готовности каналов,  $9_1, 9_2, \dots, 9_{(M-1)}$  - третья группа из  $(M-1)=2$  элементов И каждого блока анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ ,

10 - первый элемент ИЛИ каждого блока анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ ,

11 - второй элемент ИЛИ;

$12_1, 12_2, \dots, 12_{(N-2)}$  - вторая группа из  $(N-2)=2$  элементов ИЛИ,

$13_1, 13_2, \dots, 13_{(N-1)}$  - четвертая группа из  $(N-1)=3$  элементов запрета И с одним

инверсным входом.

Предлагаемый арбитр диспетчера задач содержит внешнюю шину входной заявки IP, которая состоит из L групп параметров задачи, N внешних шин параметров каналов IC1, IC2, ..., ICN, каждая из которых состоит из L групп параметров каналов, N внешних шин занятости каналов IT1, IT2, ..., ITN, каждая из которых содержит M разрядов ранга приоритета (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший канал ITN), первую группу из N внешних выходов указателей канала старшего приоритета QU1, QU2, ..., QUN и вторую группу из M внешних выходов указателей высшего ранга приоритета в канале OZ0, OZ1, ..., OZ(M-1), N внутренних шин запросов IZ1, IZ2, ..., IZN, каждая из которых содержит M разрядов приоритета, N разрядов внутренней шины состояния каналов S1, S2, ..., SN, N разрядов внутренней шины готовности каналов K1, K2, ..., KN и флаг готовности F.

Предлагаемый арбитр диспетчера задач также содержит группу из N блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , каждый из которых содержит группу из L компараторов  $2_1, 2_2, \dots, 2_L$  и элемент И 3, группу из N блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$ , каждый из которых содержит первую группу из M элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$ , первую группу из M элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ , вторую группу из (M-1) элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , группу из N блоков анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , каждый из которых содержит третью группу из (M-1) элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  и первый элемент ИЛИ 10, а также второй элемент ИЛИ 11, вторую группу из (N-2) элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  и четвертую группу из (N-1) элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$ .

Причем L групп параметров задачи внешней шины входной заявки IP соединены с первыми группами входов соответствующих одноименных компараторов  $2_1, 2_2, \dots, 2_L$  всех N блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , в каждом из которых вторые группы входов компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующими одноименными L группами соответствующих N внешних шин параметров каналов IC1, IC2, ..., ICN. Также в каждом блоке анализа параметров  $1_1, 1_2, \dots, 1_N$  выходы компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующим элементом И3, выходы которых являются соответствующими N разрядами S1, S2, ..., SN внутренней шины состояния каналов.

В каждом из N блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$  первые входы элементов

И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  соединены между собой, а также подключены к соответствующим  $N$  разрядам  $S_1, S_2, \dots, S_N$  внутренней шины состояния каналов одноименным номеру канала, а вторые входы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  подключены к соответствующим одноименным  $M$  разрядам из  $N$  внешних шин занятости каналов  $IT_1, IT_2, \dots, IT_N$  одноименным номеру канала. Причем выходы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  являются соответствующими  $M$  разрядами ранга приоритета, с 0-го по  $(M-1)$ -й разряды, соответствующих  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  одноименным номеру канала.

Причем все  $M$  разрядов приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединены с соответствующими одноименными входами одноименных  $N$  блоков анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , а также каждый  $i$ -й разряд ( $i=0, 1, \dots, (M-1)$ ) приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединен с соответствующим входом одноименного  $i$ -го элемента из первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ . При этом выходы элементов ИЛИ, начиная с первого  $6_1$  до  $M$ -го  $6_{(M-1)}$ , соединены с первыми прямыми входами одноименных элементов второй группы из  $(M-1)$  элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , у которых инверсные входы  $j$ -го элемента  $7_j$  ( $j=1, 2, \dots, (M-1)$ ) соединены с соответствующими выходами к элементов ( $k=0, 1, \dots, (j-1)$ ) первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ .

Одноименные входы  $M, (M+1), \dots, (2M-2)$  каждого из  $N$  блоков каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$  соединены между собой, а также подключены к соответствующим выходам  $(M-1)$  элементов, начиная с первого до  $(M-1)$ -го элемента, из второй группы элементов И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ .

Выходы элементов И второй группы из  $(M-1)$  элементов запрета И с одним инверсным входом  $7_1, 7_2, \dots, 7_{(M-1)}$  являются соответствующими  $(M-1)$  выходами  $OZ_1, OZ_2, \dots, OZ_{(M-1)}$  второй группы из  $M$  внешних выходов указателей высшего ранга приоритета в канале, а младшим нулевым выходом  $OZ_0$  является выход элемента ИЛИ  $6_0$ .

В каждом из  $N$  блоков  $8_1, 8_2, \dots, 8_N$  анализа готовности каналов  $(M-1)$  входов блока, начиная с первого входа до  $(M-1)$  входа, соединены с соответствующими первыми входами одноименных элементов И из третьей группы из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока, у которых вторые входы соединены с соответствующими входами блока, начиная с  $M$ -го входа до  $(2M-2)$ -го входа. Выходы третьей группы из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока и 0-й вход блока соединены с соответствующими входами элемента ИЛИ 10, выход которого является выходом соответствующего блока каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , которые подключены к  $N$  разрядам внутренней шины готовности каналов  $K_1, K_2, \dots, K_N$  и соответствующим входам второго элемента ИЛИ 11. Выход элемента ИЛИ 11 является флагом готовности  $F$ .

Причем выходы первых  $(N-1)$  блоков каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_{(N-1)}$ , начиная с первого блока до предпоследнего  $(N-1)$  блока, также соединены с первыми прямыми входами соответствующих  $(N-1)$  элементов  $13_1, 13_2, \dots, 13_{(N-1)}$  четвертой группы из элементов запрета И с одним инверсным входом, а выход последнего  $N$ -го блока каналов анализа приоритета  $8_N$ , соединен со вторым инверсным

входом (N-1) элемента  $13_{(N-1)}$  четвертой группы из элементов запрета И с одним инверсным входом.

Выходы всех элементов второй группы из (N-2) элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  соединены со вторыми инверсными входами соответствующих одноименных первых (N-2) элементов  $13_1, 13_2, \dots, 13_{(N-2)}$  четвертой группы из элементов запрета И с одним инверсным входом, а также первые и вторые входы всех (N-2) элементов  $12_1, 12_2, \dots, 12_{(N-2)}$  из второй группы элементов ИЛИ подключены соответственно к первым прямым и ко вторым инверсным входам соответствующих (N-2) элементов И  $13_2, 13_3, \dots, 13_{(N-1)}$ , начиная со второго элемента до последнего (N-1) элемента четвертой группы элементов запрета И с одним инверсным входом.

Выходы четвертой группы элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$  являются первыми (N-1) внешними выходами  $QU_1, QU_2, \dots, QU_{(N-1)}$  из первой группы внешних выходов указателей канала старшего приоритета, а старшим N-м внешним выходом  $QUN$  является выход последнего N-го блока анализа готовности каналов приоритета  $8_N$ .

### ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем. В устройстве входная заявка на внешней шине IP содержит L групп требуемых параметров для исполнения вычислительной задачи - объем памяти для ввода и вывода информации, наличие соответствующих программ для алгоритма обработки вычислительной задачи и соответствующие маски групп. Предлагаемый арбитр диспетчера задач в N блоках анализа параметров  $1_1, 1_2, \dots, 1_N$  проверяет возможность обслуживания заявок путем сравнения L групп требуемых параметров для задачи на внешней шине IP и соответствующих L групп параметров каналов обработки задач, поступающим по шинам  $IC_1, IC_2, \dots, IC_N$ . При соответствии всех параметров L групп по каналам формируются единичные значения в соответствующих N разрядах внутренней шины состояния каналов  $S_1, S_2, \dots, S_N$  или нулевые значения при не соответствии параметров.

Одновременно по внешним шинам занятости N каналов  $IT_1, IT_2, \dots, IT_N$  поступают в унитарном коде «1 из M» значения соответствующее времени занятости каналов обслуживанием предыдущих заявок (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший 4 (N)-й канал  $IT_4 (IT_N)$ ). Единичное значение в нулевом разряде соответствует отсутствию заявок на обслуживание в канале - готовности канала к обслуживанию заявки без ожидания. Единичное значение в старшем (M-1) разряде соответствует максимальной занятости канала - максимальному времени ожидания обслуживания.

В N блоках разрешения запросов  $4_1, 4_2, \dots, 4_N$  при единичных значениях соответствующих разрядов внутренней шины состояния каналов  $S_1, S_2, \dots, S_N$  значения с входных шин занятости каналов  $IT_1, IT_2, \dots, IT_N$  передаются на соответствующие внутренние шины запросов  $IZ_1, IZ_2, \dots, IZ_N$  или нулевые значения при нулевых значениях соответствующих разрядов внутренней шины состояния каналов  $S_1, S_2, \dots, S_N$ .

Далее в предлагаемом арбитраже диспетчера задач в первой группе элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$  и второй группе элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , определяется высший приоритет (ранг) запроса готовности каналов к обслуживанию по значениям на внутренних шинах запросов  $IZ_1, IZ_2, \dots, IZ_N$  и формируется номер ранга в унитарном коде «1 из M» на второй группе из M внешних

выходов указателей высшего ранга приоритета в канале QZ0, QZ1, ..., QZ(M-1) или нулевой код, если параметры всех каналов не соответствуют параметрам входной заявки IP.

В блоках анализа готовности каналов  $\delta_1, \delta_2, \dots, \delta_N$ , на основании высшего ранга приоритета в канале QZ0, QZ1, ..., QZ(M-1), на выходах формируются единичные значения на разрядах внутренней шины готовности каналов к обслуживанию K1, K2, ..., KN, по которым проводится поиск канала готовности к обслуживанию с наивысшим приоритетом. При этом на выходах четвертой группа из (N-1) элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$  единичный сигнал будет установлен только на одном выходе соответствующем каналу старшего приоритета готовности. Таким образом, на первой группе внешних выходах указателей канала старшего приоритета QU1, QU2, ..., QUN формируется результат в виде унитарного кода «1 из N» или нулевой код если все каналы не готовы к приему заявки. Одновременно при наличии единичного значения на одном из разрядов внутренней шины готовности каналов к обслуживанию K1, K2, ..., KN формируется флаг готовности F=1.

Предлагаемое устройство работает следующим образом.

Предлагаемый арбитр диспетчера задач работает следующим образом.

На внешнюю шину IP поступают L групп требуемых параметров входной заявки для исполнения вычислительной задачи и от N каналов обработки по внешним шинам IC1, IC2, ..., ICN. поступают по L групп параметров каналов и по внешним шинам занятости N каналов IT1, IT2, ..., ITN поступают в унитарном коде «1 из M» значения соответствующие времени занятости канала обслуживанием предыдущих заявок (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший 4 (N)-й канал IT4 (ITN)). Данные сигналы поступают на соответствующие входы блоков анализа параметров  $1_1, 1_2, \dots, 1_N$  и блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$ .

В таблице 1 приведены тестовые примеры формирования указателей канала старшего приоритета QU1, QU2, ..., QU4 и высшего ранга приоритета QZ0, QZ1, QZ2 для N=4 каналов обработки, каждый из которых содержит M=3 уровня (ранга) длительности ожидания обработки заявок (высший ранг приоритета имеет младший нулевой разряд QZ0, старший приоритет имеет старший 4-й канал QU4).

В тесте №1 значения параметров L групп входной заявки IP не соответствуют параметрам L групп всех каналов IC1, IC2, ..., IC4, поэтому нулевые значения формируются во всех N=4 разрядах внутренней шины состояния каналов S1, S2, ..., S4. Одновременно поступают значения унитарных кодов «100» на всех входных шинах занятости каналов IT1, IT2, ..., IT4, что соответствует отсутствию обрабатываемых заявок в каналах, но на внутренних шинах запросов IZ1, IZ2, ..., IZ4 формируются нулевые значения, так как нулевые значения установлены в разрядах внутренней шины состояния каналов S1, S2, ..., S4. Далее нулевые значения формируются на выходах указателя высшего ранга приоритета в канале QZ0, QZ1, QZ2, в разрядах внутренней шины готовности каналов к обслуживанию K1, K2, ..., K4 и на первой группе внешних выходах указателей канала старшего приоритета QU1, QU2, ..., QU4, а также нулевое значение флага готовности F=0, что соответствует запрету передачи данных.

В тесте №2 значения параметров L групп входной заявки IP соответствуют параметрам L групп всех каналов IC1, IC2, ..., IC4, поэтому единичные значения формируются во всех N=4 разрядах внутренней шины состояния каналов S1, S2, ..., S4. Одновременно поступают значения унитарных кодов «100» на всех входных шинах

занятости каналов IT1, IT2, ..., IT4, что соответствует отсутствию обрабатываемых заявок в каналах, которые передаются на разряды всех внутренних шин запросов IZ1, IZ2, ..., IZ4. Далее на выходах указателя высшего ранга приоритета в канале QZ0, QZ1, QZ2 формируется унитарный код «100» (единичное значение соответствует младшему нулевому разряду QZ0=1), по которому далее формируются единичные значения во всех разрядах внутренней шины готовности каналов к обслуживанию K1, K2, ..., K4, что соответствует готовности всех N=4 каналов к обслуживанию заявки без ожидания. Но так как старший приоритет присвоен старшему четвертому каналу, то на первой группе внешних выходах указателей канала старшего приоритета QU1, QU2, ..., QU4 формируется унитарный код «0001» (единичное значение соответствует старшему каналу QU4=1) и одновременно формируется единичное значение флага готовности F=1.

В тесте №3 значения параметров L групп входной заявки IP не соответствуют параметрам L групп в третьем канале S3=0 и соответствуют параметрам в первом S1=1, втором S2=1 и четвертом S4=1 каналах. Одновременно на входных шинах занятости каналов IT1, IT2, ..., IT4 устанавливаются соответствующие значения унитарных кодов занятости, которые далее передаются на внутренние шины запросов IZ1, IZ2, IZ4 и нулевые значения устанавливаются на шине IZ3=0, так как нулевое значение установлено в третьем разряде S3=0 внутренней шины состояния каналов. Высший приоритет готовности (младший нулевой разряд) установлен на шине IZ1, поэтому на выходах указателя высшего ранга приоритета в канале QZ0, QZ1, QZ2 формируется унитарный код «100», по которому далее формируется единичное значение для первого канала K1=1 на внутренней шине готовности каналов к обслуживанию. Поэтому далее на первой группе внешних выходах указателей канала старшего приоритета QU1, QU2, ..., QU4 формируется унитарный код «1000» (единичное значение соответствует первому каналу QU1=1) и одновременно формируется единичное значение флага готовности F=1.

В тесте №4 значения параметров L групп входной заявки IP не соответствуют параметрам L групп в первом S1=0 и четвертом S4=0 каналах и соответствуют параметрам во втором S2=1 и третьем S3=1 каналах, по которым соответствующие им унитарные коды «010» с шин занятости каналов IT2 и IT3 передаются на соответствующие внутренние шины запросов IZ2 и IZ3 и на выходах указателя высшего ранга приоритета в канале QZ0, QZ1, QZ2 формируется унитарный код «010». Далее единичные значения устанавливаются для второго K2=1 и третьего K3=1 каналов на внутренней шине готовности данных каналов к обслуживанию. Поскольку третий канал имеет высший приоритет, то на первой группе внешних выходах указателей канала старшего приоритета QU1, QU2, ..., QU4 формируется унитарный код «0010» (единичное значение соответствует третьему каналу QU3=1) и одновременно формируется единичное значение флага готовности F=1.

В тесте №5 значения параметров L групп входной заявки IP не соответствуют параметрам L групп в четвертом канале S4=0 и соответствуют параметрам в первом S1=1, втором S2=1 и третьем S3=1 каналах по которым соответствующие им унитарные коды с шин занятости каналов IT1, IT2 и IT3 передаются на соответствующие внутренние шины запросов IZ1, IZ2 и IZ3 и на выходах указателя высшего ранга приоритета в канале QZ0, QZ1, QZ2 формируется унитарный код «100» (единичное значение соответствует младшему нулевому разряду QZ0=1). Далее единичные значения устанавливаются для первого K1=1 и второго K2=1 каналов на внутренней шине готовности данных каналов к обслуживанию. Поскольку второй канал имеет высший

приоритет, то на первой группе внешних выходов указателей канала старшего приоритета  $QU_1, QU_2, \dots, QU_4$  формируется унитарный код «0100» (единичное значение соответствует второму каналу  $QU_2=1$ ) и одновременно формируется единичное значение флага готовности  $F=1$ .

5 В тесте №6 значения параметров  $L$  групп входной заявки  $IP$  не соответствуют параметрам  $L$  групп в первом  $S_1=0$  и третьем  $S_3=0$  каналах и соответствуют параметрам во втором  $S_2=1$  и четвертом  $S_4=1$  каналах, по которым соответствующие им унитарные коды с шин занятости каналов  $IT_2$  и  $IT_4$  передаются на соответствующие внутренние шины запросов  $IZ_2$  и  $IZ_4$  и на выходах указателя высшего ранга приоритета в канале  
 10  $QZ_0, QZ_1, QZ_2$  формируется унитарный код «010» (единичное значение соответствует первому разряду  $QZ_1=1$ ). Далее единичное значение устанавливается только для второго  $K_2=1$  канала на внутренней шине готовности данных каналов к обслуживанию и на первой группе внешних выходов указателей канала старшего приоритета  $QU_1, QU_2, \dots, QU_4$  формируется унитарный код «0100» (единичное значение соответствует второму  
 15 каналу  $QU_2=1$ ) и одновременно формируется единичное значение флага готовности  $F=1$ .

Таким образом, в предлагаемом устройстве на первой группе внешних выходов указателей канала старшего приоритета  $QU_1, QU_2, \dots, QU_N$  будут установлены значения унитарных кодов «1 из  $N$ », а на выходах второй группы из  $M$  внешних выходов  
 20 указателей высшего ранга приоритета в канале  $OZ_0, OZ_1, \dots, OZ_{(M-1)}$  будет установлено значение, соответствующее номеру высшего ранга приоритета в унитарном коде «1 из  $M$ » и формируется единичное значение флага готовности  $F=1$ . Если параметры  $L$  групп входной заявки по шине  $IP$  не соответствуют параметрам  $L$  групп по шинам всех каналов обработки  $IC_1, IC_2, \dots, IC_N$ , то на первой  $QU_1, QU_2, \dots, QU_N$  и второй  $OZ_0, OZ_1, \dots,$   
 25  $OZ_{(M-1)}$  группах выходов будут установлены нулевые значения, а также нулевое значение флага готовности  $F=0$ .

Вышеизложенные сведения позволяют сделать вывод, что предлагаемый арбитр диспетчера задач обладает регулярностью узлов и связей и соответствует заявляемому  
 30 техническому результату - расширение функциональных возможностей в части возможности анализа параметров входной задачи и параметров каналов обработки задач.

#### АРБИТР ДИСПЕТЧЕРА ЗАДАЧ

35

40

45

Таблица 1

Шины	Тесты					
	№1	№2	№3	№4	№5	№6
S1 - S4	0000	1111	1101	0110	1110	0101
IT4[0-2]	100	100	001	001	100	001
IT3[0-2]	100	100	100	010	010	100
IT2[0-2]	100	100	010	010	100	010
IT1[0-2]	100	100	100	100	100	100
IZ4[0-2]	000	100	001	000	000	001
IZ3[0-2]	000	100	000	010	010	000
IZ2[0-2]	000	100	010	010	100	010
IZ1[0-2]	000	100	100	000	100	000
OZ0 - OZ2	000	100	100	010	100	010
K1 - K4	0000	1111	1000	0110	1100	0100
F	0	1	1	1	1	1
QU1 - QU4	0000	0001	1000	0010	0100	0100

## (57) Формула изобретения

Арбитр диспетчера задач содержит внешнюю шину входной заявки IP, которая состоит из L групп параметров задачи, N внешних шин параметров каналов IC1, IC2, ..., ICN, каждая из которых состоит из L групп параметров каналов, N внешних шин занятости каналов IT1, IT2, ..., ITN, каждая из которых содержит M разрядов ранга приоритета (высший ранг приоритета имеет младший нулевой разряд, старший приоритет имеет старший канал ITN), первую группу из N внешних выходов указателей канала старшего приоритета QU1, QU2, ..., QUN и вторую группу из M внешних выходов указателей высшего ранга приоритета в канале OZ0, OZ1, ..., OZ(M-1), N внутренних шин запросов IZ1, IZ2, ..., IZN, каждая из которых содержит M разрядов приоритета, N разрядов внутренней шины состояния каналов S1, S2, ..., SN, N разрядов внутренней шины готовности каналов K1, K2, ..., KN и флаг готовности F,

а также содержит группу из N блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , каждый из которых содержит группу из L компараторов  $2_1, 2_2, \dots, 2_L$  и элемент ИЗ, группу из N блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$ , каждый из которых содержит первую группу из M элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$ , первую группу из M элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ , вторую группу из (M-1) элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , группу из N блоков анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , каждый из которых содержит третью группу из (M-1) элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  и первый элемент ИЛИ 10, а также второй элемент ИЛИ 11, вторую группу из (N-2) элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  и четвертую группу из (N-1) элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$ ,

причем L групп параметров задачи внешней шины входной заявки IP соединены с первыми группами входов соответствующих одноименных компараторов  $2_1, 2_2, \dots, 2_L$  всех N блоков анализа параметров  $1_1, 1_2, \dots, 1_N$ , в каждом из которых вторые группы

входов компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующими одноименными  $L$  группами соответствующих  $N$  внешних шин параметров каналов  $IC_1, IC_2, \dots, IC_N$ , а также в каждом блоке анализа параметров  $1_1, 1_2, \dots, 1_N$  выходы компараторов  $2_1, 2_2, \dots, 2_L$  соединены с соответствующим элементом ИЗ, выходы которых являются

5 соответствующими  $N$  разрядами  $S_1, S_2, \dots, S_N$  внутренней шины состояния каналов, в каждом из  $N$  блоков разрешения запросов  $4_1, 4_2, \dots, 4_N$  первые входы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  соединены между собой, а также

10 подключены к соответствующим  $N$  разрядам  $S_1, S_2, \dots, S_N$  внутренней шины состояния каналов, одноименным номеру канала, а вторые входы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$  подключены к соответствующим одноименным  $M$  разрядам из  $N$  внешних шин занятости каналов  $IT_1, IT_2, \dots, IT_N$ , одноименных номеру канала, причем выходы элементов И первых групп из  $M$  элементов И  $5_0, 5_1, \dots, 5_{(M-1)}$

15 являются соответствующими  $M$  разрядами ранга приоритета, с 0-го по  $(M-1)$ -й разряды, соответствующих  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$ , одноименных номеру канала,

причем все  $M$  разрядов приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединены с соответствующими одноименными входами одноименных  $N$  блоков анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , а также каждый  $i$ -й разряд ( $i=0, 1, \dots, (M-1)$ )

20 приоритета каждой из  $N$  внутренних шин запросов  $IZ_1, IZ_2, \dots, IZ_N$  соединен с соответствующим входом одноименного  $i$ -го элемента из первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ , при этом выходы элементов ИЛИ, начиная с первого  $6_1$  до  $M$ -го  $6_{(M-1)}$ , соединены с первыми прямыми входами одноименных элементов второй группы

25 из  $(M-1)$  элементов запрета И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ , у которых инверсные входы  $j$ -го элемента  $7_j$  ( $j=1, 2, \dots, (M-1)$ ) соединены с соответствующими выходами  $k$  элементов ( $k=0, 1, \dots, (j-1)$ ) первой группы из  $M$  элементов ИЛИ  $6_0, 6_1, \dots, 6_{(M-1)}$ ,

30 одноименные входы  $M, (M+1), \dots, (2M-2)$  каждого из  $N$  блоков каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$  соединены между собой, а также подключены к соответствующим выходам  $(M-1)$  элементов, начиная с первого до  $(M-1)$ -го элемента, из второй группы элементов И с инверсными входами  $7_1, 7_2, \dots, 7_{(M-1)}$ ,

35 выходы элементов И второй группы из  $(M-1)$  элементов запрета И с одним инверсным входом  $7_1, 7_2, \dots, 7_{(M-1)}$  являются соответствующими  $(M-1)$  выходами  $OZ_1, OZ_2, \dots, OZ_{(M-1)}$  второй группы из  $M$  внешних выходов указателей высшего ранга приоритета в канале, а младшим нулевым выходом  $OZ_0$  является выход элемента ИЛИ  $6_0$ ,

40 в каждом из  $N$  блоков  $8_1, 8_2, \dots, 8_N$  анализа готовности каналов  $(M-1)$  входов блока, начиная с первого входа до  $(M-1)$  входа, соединены с соответствующими первыми входами одноименных элементов И из третьей группы из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока, у которых вторые входы соединены с соответствующими входами блока, начиная с  $M$ -го входа до  $(2M-2)$ -го входа, а выходы третьей группы из  $(M-1)$  элементов И  $9_1, 9_2, \dots, 9_{(M-1)}$  блока и 0-й вход блока соединены с соответствующими входами

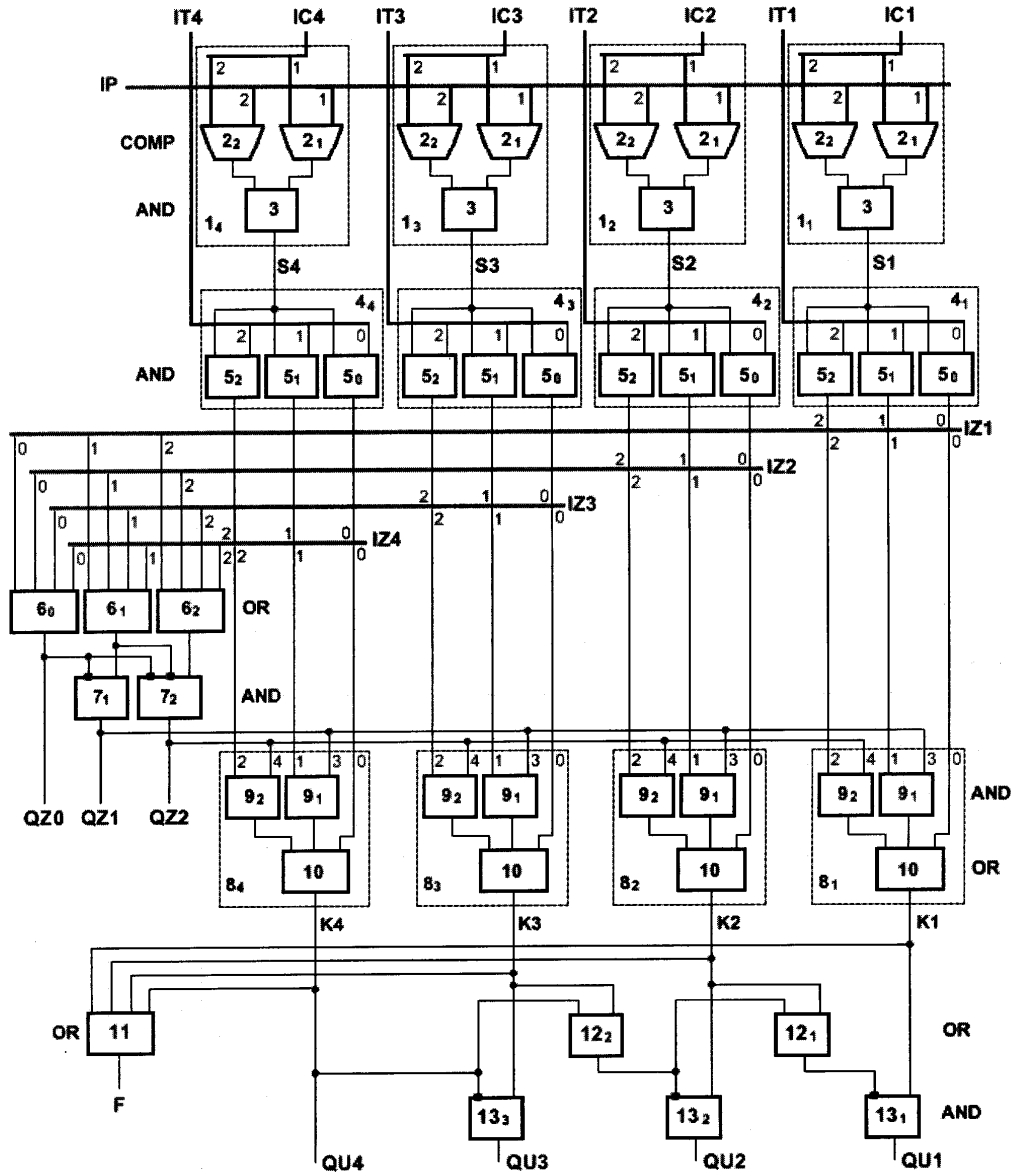
45 элемента ИЛИ 10, выход которого является выходом соответствующего блока каналов анализа готовности каналов  $8_1, 8_2, \dots, 8_N$ , которые подключены к  $N$  разрядам внутренней шины готовности каналов  $K_1, K_2, \dots, K_N$  и соответствующим входам второго элемента

ИЛИ 11, выход которого является флагом готовности F,

причем выходы первых (N-1) блоков каналов анализа готовности каналов  $\delta_1, \delta_2, \dots, \delta_{(N-1)}$ , начиная с первого блока до предпоследнего (N-1) блока, также соединены с первыми прямыми входами соответствующих (N-1) элементов  $13_1, 13_2, \dots, 13_{(N-1)}$  четвертой группы из элементов запрета И с одним инверсным входом, а выход последнего N-го блока каналов анализа приоритета  $\delta_N$  соединен со вторым инверсным входом (N-1) элемента  $13_{(N-1)}$  четвертой группы из элементов запрета И с одним инверсным входом,

выходы всех элементов второй группы из (N-2) элементов ИЛИ  $12_1, 12_2, \dots, 12_{(N-2)}$  соединены со вторыми инверсными входами соответствующих одноименных первых (N-2) элементов  $13_1, 13_2, \dots, 13_{(N-2)}$  четвертой группы из элементов запрета И с одним инверсным входом, а также первые и вторые входы всех (N-2) элементов  $12_1, 12_2, \dots, 12_{(N-2)}$  из второй группы элементов ИЛИ подключены соответственно к первым прямым и ко вторым инверсным входам соответствующих (N-2) элементов И  $13_2, 13_3, \dots, 13_{(N-1)}$ , начиная со второго элемента до последнего (N-1) элемента четвертой группы элементов запрета И с одним инверсным входом,

выходы четвертой группы элементов запрета И с одним инверсным входом  $13_1, 13_2, \dots, 13_{(N-1)}$  являются первыми (N-1) внешними выходами  $QU_1, QU_2, \dots, QU_{(N-1)}$  из первой группы внешних выходов указателей канала старшего приоритета, а старшим N-м внешним выходом  $QU_N$  является выход последнего N-го блока анализа готовности каналов приоритета  $\delta_N$ .



Фиг. 1