АНТОНОВ С. В.

Московский государственный инженерно-физический институт
(технический университет)

МОДЕЛИРОВАНИЕ БЛОКОВ ПАМЯТИ СБИС В СРЕДЕ САПР CADENCE

Разработка сверхбольших интегральных схем (СБИС) невозможна без использования современных вычислительных средств и систем автоматизированного проектирования (САПР). В настоящее время наиболее перспективной является САПР СБИС фирмы CADENCE на платформе Spark 81апопфирмы Sun.

Одной из проблем при проектировании СБИС является адекватность результатов ее функционального и электрического моделирования реальным параметрам.

Особенно эта проблема актуальна при проектировании СБИС, содержащих блоки памяти.

Специфическими особенностями блоков памяти являются :

- большое число регулярных элементов;
- наличие элементов "с отношением" и аналого-цифровых элементов;
- жесткие требования по быстродействию для ряда элементов.

Наиболее точным является моделирование СБИС на физическом (транзисторном) уровне с учетом реальных паразитных связей. Однако это требует больших вычислительных ресурсов, что не всегда представляется возможным и оправданным.

Решением этой проблемы является создание макромоделей блоков. В данной работе рассматривается создание моделей блоков памяти для К МОП СБИС на основе их моделирования на транзисторном уровне. Модели написаны на языке Verilog-HDL, как с использованием расширенной таблицы истинности, так и с помощью использования отдельных операторов (ветвления, циклов, присваивания и т.д.). В моделях учтены реальные задержки сигналов по положительному и отрицательному фронтам при их переключении, а также все логические состояния, в которые может переходить схема. Процесс отладки схемы как отдельного модуля производился с помощью программы cdsSpice, что позволило определить реальные задержки всех сигналов и использовать их в макромодели. Так как язык Verilog-HDL специально предназначен для описания аппаратных средств, то это дает возможность добиться очень короткого и емкого описания работы устройства. При этом время расчета таких схем составляет доли секунды. То есть при моделировании даже очень сложных схем состоящих из таких блоков время расчета составит не более нескольких минут. Кроме того CADENCE позволяет автоматически создать символ этого модуля и использовать его в дальнейшем в схеме всего устройства.

При этом возможно моделирование смешанных схем, в которых блоками могут являться как макромодели, так и традиционные схемы на уровне транзисторов.

Использование разработанных функциональных макромоделей при моделировании специализированной СБИС подтвердило их высокую эффективность.