



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК  
G06F 7/74 (2024.08)

(21)(22) Заявка: 2024105517, 04.03.2024

(24) Дата начала отсчета срока действия патента:  
04.03.2024

Дата регистрации:  
08.10.2024

Приоритет(ы):

(22) Дата подачи заявки: 04.03.2024

(45) Опубликовано: 08.10.2024 Бюл. № 28

Адрес для переписки:  
115409, Москва, Каширское ш., 31, НИЯУ  
МИФИ, ОУИС ЦТТ, Радько И.Д.

(72) Автор(ы):

Ядыкин Игорь Михайлович (RU)

(73) Патентообладатель(и):

Федеральное государственное автономное  
образовательное учреждение высшего  
образования "Национальный  
исследовательский ядерный университет  
МИФИ" (НИЯУ МИФИ) (RU)

(56) Список документов, цитированных в отчете  
о поиске: RU 2800039 C1, 17.07.2023. RU  
2809741 C1, 15.12.2023. RU 2749150 C1,  
07.06.2021. RU 2809743 C1, 15.12.2023. US  
6513053 B1, 28.01.2003. US 20210224042 A1,  
22.07.2021. US 6904114 B2, 07.06.2005.

## (54) УСТРОЙСТВО ДЛЯ ПОДСЧЕТА ОДИНАКОВЫХ ГРУПП БИТ В БЛОКАХ ДВОИЧНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ

(57) Реферат:

Изобретение относится к устройствам обработки данных и может быть использовано для построения функциональных узлов для анализа свойств генераторов псевдослучайных последовательностей двоичных чисел. Технический результат - обеспечение возможности детектирования одинаковых групп числовой и символьной информации и подсчет количества таких групп в блоках входных данных входной двоичной последовательности. Устройство содержит внешние группу входных данных IBD, вход конца блока IEB и вход выдачи количества одинаковых групп IES, группы внешних выходов количества одинаковых групп

в блоках QB и количества одинаковых групп в последовательности QS, RS-триггер пуска-останова TSS 1, элемент И с инверсным входом 2, регистр входных данных RD 3, дешифратор групп DCG 4, группу элементов И 5<sub>0</sub>, ..., 5<sub>к</sub>, группу триггеров 6<sub>0</sub>, ..., 6<sub>к</sub>, группу счетчиков 7<sub>0</sub>, ..., 7<sub>к</sub>, группу дешифраторов 8<sub>0</sub>, ..., 8<sub>к</sub>, матрицу счетчиков 9[0:М, 0:К], выходной буфер OB 10, внешние входы тактового сигнала IC, пуска устройства START и остановки устройства STOP, внутренний флаг разрешения работы FE, внешняя шина управления обменом EO, внешние флаги FF «Буфер заполнен», FZ «Буфер пуст». 2 ил.





FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*G06F 7/74 (2024.08)*

(21)(22) Application: **2024105517, 04.03.2024**

(24) Effective date for property rights:  
**04.03.2024**

Registration date:  
**08.10.2024**

Priority:

(22) Date of filing: **04.03.2024**

(45) Date of publication: **08.10.2024** Bull. № 28

Mail address:

**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI,  
OUIS TSTT, Radko I.D.**

(72) Inventor(s):

**Yadykin Igor Mikhajlovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe avtonomnoe  
obrazovatelnoe uchrezhdenie vysshego  
obrazovaniya "Natsionalnyj issledovatel'skij  
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**

(54) **DEVICE FOR COUNTING IDENTICAL GROUPS OF BITS IN BLOCKS OF BINARY SEQUENCE**

(57) Abstract:

FIELD: data processing devices.

SUBSTANCE: invention relates to data processing devices and can be used to construct functional units for analysing properties of generators of pseudorandom sequences of binary numbers. Device comprises an external input data group IBD, an input of the end of the block IEB and an input for outputting the number of identical groups IES, groups of external outputs of the number of identical groups in the blocks QB and the number of identical groups in the sequence QS, RS-trigger of start-stop TSS 1, AND element with inverse input 2, input data register RD 3, decoder DCG 4, group of elements AND 5<sub>0</sub>, ..., 5<sub>k</sub>, group of triggers 6<sub>0</sub>, ...,

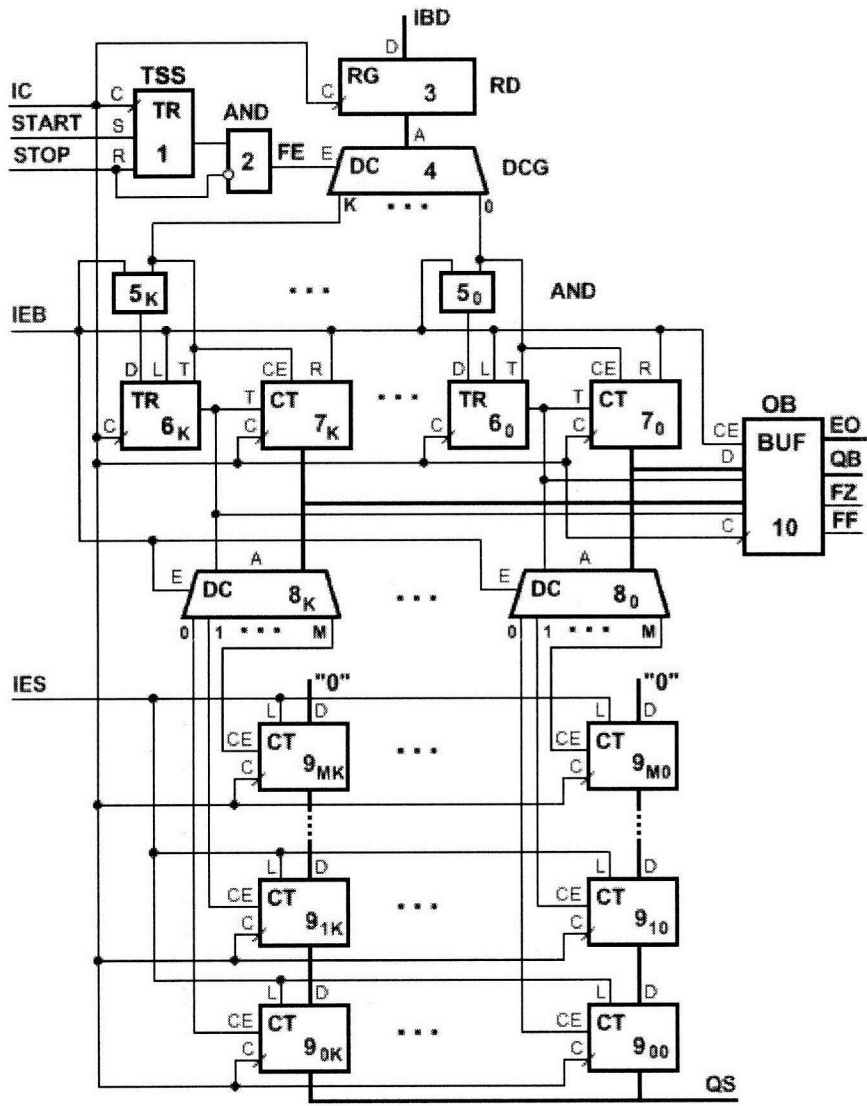
6<sub>k</sub>, group of counters 7<sub>0</sub>, ..., 7<sub>k</sub>, group of decoders 8<sub>0</sub>, ..., 8<sub>k</sub>, matrix of counters 9[0:M, 0:K], output buffer OB 10, external inputs of clock signal 1C, starting the device START and stopping the device STOP, an internal flag of enabling operation FE, an external exchange control bus EO, external flags FF "Buffer full", FZ "Buffer empty".

EFFECT: enabling detection of identical groups of numerical and symbol information and counting the number of such groups in input data blocks of an input binary sequence.

1 cl, 2 dwg

**RU 2 828 236 C1**

**RU 2 828 236 C1**



Фиг. 1

1 C 9 2 8 2 3 6 R U

R U 2 8 2 8 2 3 6 C 1

## ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники, в частности к устройствам обработки данных, и может быть использовано для построения функциональных узлов для анализа свойств генераторов псевдослучайных последовательностей двоичных чисел, фильтрации событий, обработки сигналов и результатов физических экспериментов.

Известно устройство сортировки информации методом преобразования данных в адрес (RU №2382396 C2, МПК G06F 7/08, G06F 17/30, заявлено 31.03.2008, опубликовано 20.02.2010, Бюл. №5) содержащее блок ввода данных, блок сортировки положительных чисел, блок хранения результатов, блок сортировки отрицательных чисел, блок управления, оперативные запоминающие устройства, двоичные счетчики, пороговые элементы.

В данном устройстве решается задача сортировки входной числовой и символьной информации по возрастанию и убыванию. Сортировка осуществляется как положительных, так и отрицательных чисел, и символов. Выполняется подсчет количества одинаковых чисел и символов. Недостатком данного устройства являются большие аппаратные затраты и осуществление поисковых операций по указанному интервалу или по конкретному заданному символу или числу.

Известно устройство для детектирования групп единичных бит в блоках двоичной последовательности (RU №2809743 C1, МПК G06F 7/74, заявлено 07.08.2023, опубликовано 15.12.2023, Бюл. №35) содержащее внешний вход данных ID последовательного ввода K-разрядных блоков данных ВВ из входной N-разрядной бинарной последовательности данных, группу внешних выходов групп QB, группу внешних выходов максимальных групп QH, группу внешних шин количества единичных групп Q1, Q2, ..., Q(M+1) (где M - разрядности детектируемых единичных групп,  $1 \leq M \leq K$ ), счетчик тактов СТС 1, счетчик единичных бит СТВ 2, дешифратор 3, инвертор 4, выходной буфер групп ОВ 5, группу из (M+1) счетчиков единичных групп  $b_1, b_2, \dots, b_{(M+1)}$ , группу из (M+1) сумматоров  $7_1, 7_2, \dots, 7_{(M+1)}$ , группу из (M+1) регистров  $8_1, 8_2, \dots, 8_{(M+1)}$ , первый элемент ИЛИ 9, группу из (K-1) элементов ИЛИ  $10_1, 10_2, \dots, 10_{(K-1)}$ , группу из (K-1) элементов И с инверсным входом  $11_1, 11_2, \dots, 11_{(K-1)}$ , второй элемент ИЛИ 12, регистр максимальной группы RH 13, регистр приоритета RPR 14 и выходной буфер максимальных групп ОН 15, а также введены внешние входы тактовый IC, синхронной установки в нулевое состояние IR и разрешения работы ICE, внутренние шины количества единичных бит в группе BD, унитарного кода BDC, старшей группы BS и приоритета BPR, внутренние флаги начала блока F0, разрешения счета FE и максимума FH, внешние шины управления обменом EO, внешние флаги «Буфер заполнен» FF и «Буфер пуст» FZ.

Данное устройство выявляет группы единичных бит заданной разрядности и максимальные группы в двоичных блоках, а также осуществляет подсчет единичных групп во входной последовательности. Недостатком данного устройства является побитовое поступление входных данных и детектирование только единичных групп.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является, принятое за прототип, устройство групповой структуры для детектирования шаблонов бит переменной разрядности (RU №2809741 C1, МПК G06F 7/74, заявлено 15.06.2023, опубликовано 15.12.2023, Бюл. №35) содержащее внешние m разрядный вход данных ID, (m+1) разрядный вход заданного шаблона IG, v разрядный вход разрядности шаблона IK, где  $v = \lceil \log_2(m+1) \rceil$  (большее

целое), группы внешних выходов данных QB, количества перекрывающихся шаблонов QS, количества неперекрывающихся шаблонов QN, первый RS-триггер пуска-останова TSS 1, второй D-триггер TR2 задержки 2, счетчик CTG групп 3, выходной буфер OB 4, дешифратор 5, группу из  $m$  элементов ИЛИ  $b_1, b_2, \dots, b_m$ , первую группу из  $(m+1)$

5 элементов И  $7_1, 7_2, \dots, 7_{m+1}$ , элемент И 8, первый элемент ИЛИ 9, второй элемент ИЛИ 10, первый блок счета единиц 11, первый сумматор 12, регистр неперекрывающихся шаблонов RN 13, первый R1 регистр данных 14, второй R2 регистр данных 15, группу из  $m$  блоков разрешения  $1b_1, \dots, 1b_2, 1b_m$ , каждый из которых содержит по  $(m+1)$   
 10 элементов И, группу из  $m$  компараторов  $17_1, \dots, 17_2, 17_m$ , группу из  $t$  блоков запрета  $18_1, \dots, 18_2, 18_m$ , каждый из которых содержит по  $m$  элементов И-НЕ, вторую группу из  $2m$  элементов И  $19_1, \dots, 19_2, 19_{2m}$ , регистр маски RM 20, второй блок счета единиц 21, второй сумматор 22, регистр перекрывающихся шаблонов RS 23, а также введены внешние входы асинхронной установки в нулевое состояние CLR, пуска устройства START, остановки устройства STOP и тактовый вход C, внутренние шины данных BD, запрета BB, дешифрации разрядов BDC, совпадения BE, шаблона BG, маски BM, неперекрывающихся шаблонов BN и группа из  $M$  шин данных D1, DM, внутренние флаги шаблонов FS, неперекрывающихся шаблонов FN, записи FW, внешняя шина управления обменом EO, внешние флаги «Буфер заполнен» FF и «Буфер пуст» FZ.

20 Данное устройство позволяет детектировать в соседних  $m$ -разрядных группах входного  $N$ -разрядного двоичного числа группы, соответствующие заданному шаблону групп IG, который содержит заданную последовательность единичных и нулевых бит, и осуществляет подсчет выявленных групп. Недостатком данного устройства является выявление групп, соответствующих только одному заданному шаблону.

#### 25 ЗАДАЧА ИЗОБРЕТЕНИЯ

Задачей изобретения является разработка аппаратных средств для исследования свойств генераторов псевдослучайных последовательностей двоичных чисел, а также для фильтрации событий, обработки сигналов и результатов физических экспериментов.

30 При анализе генераторов псевдослучайных последовательностей двоичных чисел устройство предназначено для реализации теста на произвольные отклонения, в котором определяются циклы кумулятивных сумм, и осуществляется подсчет отклонений кумулятивных сумм в состояниях циклов.

В задачах обработки событий и результатов физических экспериментов осуществляется выявление одинаковых событий и подсчет их количества.

35 Техническим результатом изобретения является обеспечение возможности детектирования одинаковых групп числовой и символьной информации и подсчет количества таких групп в блоках входных данных входной двоичной последовательности.

#### 40 КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Указанный технический результат при осуществлении изобретения достигается тем, что устройство для подсчета одинаковых групп бит в блоках двоичной последовательности содержит внешние группу входных данных IBD, вход конца блока IEB и вход выдачи количества одинаковых групп IES, группы внешних выходов количества одинаковых групп в блоках QB и количества одинаковых групп в последовательности QS, RS-триггер пуска-останова TSS 1, элемент И с инверсным входом 2, регистр входных данных RD 3, дешифратор групп DCG 4, группу элементов И  $5_0, \dots, 5_k$ , группу триггеров  $6_0, \dots, 6_k$ , группу счетчиков  $7_0, \dots, 7_k$ , группу дешифраторов

$8_0, \dots, 8_K$ , матрицу счетчиков  $9[0:M, 0:K]$ , содержащую  $(M+1)$  строк и  $(K+1)$  столбцов (где  $K$  - количество различных групп в блоках данных,  $M$  - максимальное количество одинаковых групп в блоке данных) и выходной буфер  $OB 10$ ,

а также введены внешние входы тактового сигнала  $1C$ , пуска устройства  $START$  и остановки устройства  $STOP$ , внутренний флаг разрешения работы  $FE$ , внешняя шина управления обменом  $EO$ , внешние флаги  $FF$  «Буфер заполнен»,  $FZ$  «Буфер пуст»,

причем внешний тактовый вход устройства  $1C$  соединен с входами синхронизации  $C$   $RS$ -триггера пуска-останова  $TSS 1$ , регистра входных данных  $RD 3$ , триггеров группы  $6_0, \dots, 6_K$ , счетчиков группы  $7_0, \dots, 7_K$ , счетчиков матрицы  $9[0:M, 0:K]$  и выходного буфера  $OB 10$ ,

внешний вход пуска устройства  $START$  соединен с входом  $S$  синхронной установки в единичное состояние  $RS$ -триггера пуска-останова  $TSS 1$ ,

внешний вход остановки устройства  $STOP$  соединен с входом  $R$  синхронной установки в нулевое состояние  $RS$ -триггера пуска-останова  $TSS 1$ , а также соединен со вторым инверсивным входом элемента  $И 2$ ,

причем прямой выход  $RS$ -триггера пуска-останова  $TSS 1$  соединен с первым прямым входом элемента  $И 2$  с инверсивным входом, выход которого является внутренним флагом разрешения работы  $FE$  и соединен с входом разрешения работы  $E$  дешифратора групп  $DCG 4$ ,

группа входных данных  $IBD$  соединена с группой  $D$ -входов регистра входных данных  $RD 3$ , выходы которого соединены с адресными входами дешифратора групп  $DCG 4$ , у которого  $(K+1)$  выходов соединены с  $T$ -входами одноименных триггеров группы  $6_0, \dots, 6_K$ , с входами разрешения работы  $CE$  одноименных счетчиков группы  $7_0, \dots, 7_K$  и

со вторыми входами одноименных элементов  $И$  группы  $5_0, \dots, 5_K$ , выходы которых соединены с  $D$ -входами одноименных триггеров группы  $6_0, \dots, 6_K$ , выходы которых соединены с  $T$ -входами одноименных счетчиков группы  $7_0, \dots, 7_K$ , с соответствующими  $D$ -входами выходного буфера  $OB 10$  и с младшими адресными входами одноименных

дешифраторов группы  $8_0, \dots, 8_K$ , у которых старшие разряды адресов соединены с выходами одноименных счетчиков группы  $7_0, \dots, 7_K$ , выходы которых также соединены с соответствующими группами  $D$ -входов выходного буфера  $OB 10$ , который также подключен к внешней шине  $EO$  управления обменом, а соответствующие выходы выходного буфера  $OB 10$  являются группой внешних выходов количества одинаковых групп в блоках  $QB$  и соответствующими внешними флагами «Буфер заполнен»  $FF$  и «Буфер пуст»  $FZ$ ,

кроме того внешний вход конца блока  $IEB$  соединен с первыми входами элементов  $И$  группы  $5_0, \dots, 5_K$ , с входами разрешения записи  $L$  триггеров группы  $6_0, \dots, 6_K$ , с входами  $R$  синхронной установки в нулевое состояние счетчиков группы  $7_0, \dots, 7_K$ , с

входом разрешения работы  $CE$  выходного буфера  $OB 10$  и с входами разрешения работы  $E$  дешифраторов группы  $8_0, \dots, 8_K$ , у каждого из которых  $(M+1)$  выходов, начиная с нулевого выхода до  $M$ -го выхода, соединены с входами  $CE$  разрешения работы счетчиков соответствующих строк, начиная с нулевой строки до  $M$ -ой строки, одноименных столбцов матрицы счетчиков  $9[0:M, 0:K]$ , у которых входы  $L$  разрешения записи счетчиков соединены с внешним входом выдачи количества одинаковых групп  $IES$ ,

причем в  $K$ -ой строке матрицы счетчиков матрицы  $9[0:M, 0:K]$  на группы  $D$ -входов счетчиков заданы нулевые коды «0», а группы  $D$ -входов счетчиков матрицы  $9[0:M, 0:$

К], начиная с (К-1)-ой строки до нулевой строки, подключены к выходам счетчиков следующих строк матрицы, начиная с К-ой строки до первой строки, а выходы счетчиков нулевой строки матрицы являются соответствующими группами внешних выходов количества одинаковых групп в последовательности QS.

#### 5 КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг.1 приведена схема предлагаемого устройства.

На фиг.2 приведена временная диаграмма работы устройства.

На фиг.1 - 2 и в тексте приняты следующие обозначения:

- 10 А - адресные входы,
- AND - элемент И,
- BUF - буфер с дисциплиной обслуживания FIFO,
- С - тактовый вход,
- СЕ - вход разрешения работы,
- СТ - счетчик,
- 15 D - информационные входы,
- DC - дешифратор,
- DCG - дешифратор групп,
- ЕО - внешняя шина управления обменом,
- Е - вход разрешения работы дешифраторов,
- 20 FE - внутренний флаг разрешения работы,
- FF - внешний флаг «Буфер заполнен»,
- FZ - внешний флаг «Буфер пуст»,
- IBD - внешняя группа входных данных,
- 1С - внешний тактовый вход,
- 25 IEВ - внешний вход конца блока,
- IES - внешний вход выдачи количества одинаковых групп,
- к - разрядность входных данных,
- К - количество различных групп в блоках данных, где  $K=2^k-1$ ,
- L - вход разрешения записи,
- 30 M - максимальное количество одинаковых групп в блоке,
- OB - выходной буфер,
- QB - группа внешних выходов количества одинаковых групп в блоках,
- QS - группы внешних выходов количества одинаковых групп в последовательности,
- RG - регистр,
- 35 RD - регистр входных данных,
- R - вход синхронной установки в нулевое состояние,
- S - вход синхронной установки в единичное состояние,
- START - внешний вход пуска,
- STOP - внешний вход останова,
- 40 TR - триггер,
- T - счетный вход,
- TSS - триггер пуска-останова,
- W - количество блоков в двоичной последовательности,,
- 1 - RS-триггер пуска-останова TSS,
- 45 2 - элемент И с инверсным входом (AND),
- 3 - регистр входных данных RD,
- 4 - дешифратор групп DCG,
- 5<sub>0</sub>, ..., 5<sub>к</sub> - группа элементов И (AND),

$6_0, \dots, 6_K$  - группа триггеров (TR),

$7_0, \dots, 7_K$  - группа счетчиков (СТ),

$8_0, \dots, 8_K$  - группа дешифраторов (DC),

5  $9[0:M, 0:K]$  - матрица счетчиков, содержащая  $(M+1)$  строк и  $(K+1)$  столбцов,

10 - выходной буфер ОВ.

Предлагаемое устройство содержит внешние группы входных данных IBD, вход  
конца блока IEB и вход выдачи количества одинаковых групп IES, группы внешних  
выходов количества одинаковых групп в блоках QB и количества одинаковых групп  
10 в последовательности QS, RS-триггер пуска-останова TSS 1, элемент И с инверсным  
входом 2, регистр входных данных RD 3, дешифратор групп DCG 4, группу элементов  
И  $5_0, \dots, 5_K$ , группу триггеров  $6_0, \dots, 6_K$ , группу счетчиков  $7_0, \dots, 7_K$ , группу дешифраторов  
 $8_0, \dots, 8_K$ , матрицу счетчиков  $9[0:M, 0:K]$ , содержащую  $(M+1)$  строк и  $(K+1)$  столбцов  
(где  $K$  - количество различных групп в блоках данных,  $M$  - максимальное количество  
15 одинаковых групп в блоке данных) и выходной буфер ОВ 10.

В предлагаемое устройство также введены внешние входы тактового сигнала IC,  
пуска устройства START и остановки устройства STOP, внутренний флаг разрешения  
работы FE, внешняя шина управления обменом EO, внешние флаги FF «Буфер заполнен»,  
FZ «Буфер пуст».

20 Регистр входных данных RD 3 предназначен для приема и хранения текущих входных  
групп с внешней группы входных данных IBD. Дешифратор групп DCG 4 преобразует  
двоичный код входной группы в унитарный код «1 из  $K$ ». Пары одноименных триггера  
из группы  $6_0, \dots, 6_K$  и счетчика из группы  $7_0, \dots, 7_K$  образуют счетчики и предназначены  
для подсчета одинаковых групп во входных группах. Дешифраторы из группы  $8_0, \dots,$   
25  $8_K$  осуществляют преобразование двоичных кодов количества одинаковых групп в  
унитарные коды «1 из  $M$ ». Счетчики из матрицы  $9[0:M, 0:K]$  предназначены для подсчета  
количества блоков в которых одноименные входные группы 0,  $K$  встречаются от 0 до  
 $M$  раз.

30 Внешний тактовый вход устройства IC соединен с входами синхронизации С RS-  
триггера пуска-останова TSS 1, регистра входных данных RD 3, триггеров группы  $6_0,$   
 $\dots, 6_K$ , счетчиков группы  $7_0, \dots, 7_K$ , счетчиков матрицы  $9[0:M, 0:K]$  и выходного буфера  
ОВ 10.

35 Внешний вход пуска устройства START соединен с входом S синхронной установки  
в единичное состояние RS-триггера пуска-останова TSS 1.

Внешний вход остановки устройства STOP соединен с входом R синхронной установки  
в нулевое состояние RS-триггера пуска-останова TSS 1, а также соединен со вторым  
инверсивным входом элемента И 2.

40 Триггер пуска-останова TSS 1 предназначен для выделения цикла работы  
предлагаемого устройства, между сигналами START и STOP. Причем прямой выход  
RS-триггера пуска-останова TSS 1 соединен с первым прямым входом элемента И 2 с  
инверсивным входом, выход которого является внутренним флагом разрешения работы  
FE и соединен с входом разрешения работы E дешифратора групп DCG 4.

45 Группа входных данных IBD соединена с группой D-входов регистра входных данных  
RD 3, выходы которого соединены с адресными входами дешифратора групп DCG 4,  
у которого  $(K+1)$  выходов соединены с T-входами одноименных триггеров группы  $6_0,$   
 $\dots, 6_K$ , с входами разрешения работы SE одноименных счетчиков группы  $7_0, \dots, 7_K$  и  
со вторыми входами одноименных элементов И группы  $5_0, \dots, 5_K$ , выходы которых

соединены с D-входами одноименных триггеров группы  $b_0, \dots, b_k$ , выходы которых соединены с T-входами одноименных счетчиков группы  $7_0, \dots, 7_k$ , с соответствующими D-входами выходного буфера ОВ 10 и с младшими адресными входами одноименных дешифраторов группы  $8_0, \dots, 8_k$ , у которых старшие разряды адресов соединены с выходами одноименных счетчиков группы  $7_0, \dots, 7_k$ .

Выходы счетчиков группы  $7_0, \dots, 7_k$  также соединены с соответствующими группами D-входов выходного буфера ОВ 10, который также подключен к внешней шине ЕО управления обменом, а соответствующие выходы выходного буфера ОВ 10 являются группой внешних выходов количества одинаковых групп в блоках QВ и соответствующими внешними флагами «Буфер заполнен» FF и «Буфер пуст» FZ.

Кроме того внешний вход конца блока ИЕВ соединен с первыми входами элементов И группы  $5_0, \dots, 5_k$ , с входами разрешения записи L триггеров группы  $b_0, \dots, b_k$ , с входами R синхронной установки в нулевое состояние счетчиков группы  $7_0, \dots, 7_k$ , с входом разрешения работы SE выходного буфера ОВ 10 и с входами разрешения работы E дешифраторов группы  $8_0, \dots, 8_k$ , у каждого из которых (M+1) выходов, начиная с нулевого выхода до M-го выхода, соединены с входами SE разрешения работы счетчиков соответствующих стро<sub>к</sub>, начиная с нулевой строки до M-ой строки, одноименных столбцов матрицы счетчиков  $9[0:M, 0:K]$ , у которых входы L разрешения записи счетчиков соединены с внешним входом выдачи количества одинаковых групп ИЕС.

Причем в K-ой строке матрицы счетчиков матрицы  $9[0:M, 0:K]$  на группы D-входов счетчиков заданы нулевые коды «0», а группы D-входов счетчиков матрицы  $9[0:M, 0:K]$ , начиная с (K-1)-ой строки до нулевой строки, подключены к выходам счетчиков следующих строк матрицы, начиная с K-ой строки до первой строки. Выходы счетчиков нулевой строки матрицы являются соответствующими группами внешних выходов количества одинаковых групп в последовательности QS.

#### ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем.

Входная двоичная последовательность разбивается на W блоков данных, которые содержат k-разрядные группы, состоящие из нулевых и единичных бит, соответствующие числовой и символьной информации. Предлагаемое устройство осуществляет детектирование и подсчет одинаковых k-разрядных групп в каждом из W блоков входных данных и общее количество во всех W блоках входной двоичной последовательности.

Входные k-разрядные группы данных в каждом такте 1С поступают на внешнюю группу входных данных ИВД, записываются в регистр входных данных RD 3 и далее на дешифраторе групп DCG 4 преобразуются в унитарный код «1 из K» (где K - количество различных групп в блоках данных,  $K=2^k-1$ ). При единичном значении флага разрешения работы FE=1, формируется единичное значение на одном из выходов дешифратора групп DCG 4 и далее разрешается счет на соответствующем одноименном триггере из группы  $b_0, \dots, b_k$ , а также при единичном значении триггера разрешается счет в соответствующем одноименном счетчике из группы  $7_0, \dots, 7_k$ . При этом на парах одноименных триггера из группы  $b_0, \dots, b_k$  и счетчика из группы  $7_0, \dots, 7_k$  осуществляется счет одинаковых групп бит для каждого входного блока (значения с триггеров являются младшими разрядами), а далее значения с триггеров и счетчиков

поступают на адресные входы соответствующих одноименных дешифраторов DC из группы  $8_0, \dots, 8_k$ .

При единичном значении на внешнем входе конца блока  $IEB=1$  осуществляется запись в выходной буфер  $OB$  10 значений сумм по одинаковым группам бит с выходов триггеров из группы  $6_0, \dots, 6_k$  и счетчиков из группы  $7_0, \dots, 7_k$ .

Единичное значение с внешнего входа конца блока  $IEB=1$  также поступает на входы  $E$  разрешения работы дешифраторов DC из группы  $8_0, \dots, 8_k$ , на которых формируются унитарные коды «1 из  $M$ », где  $M$  - максимальное количество одинаковых групп в блоке. При этом единичные значения устанавливаются на одном из выходов дешифраторов DC из группы  $8_0, \dots, 8_k$ , по которым осуществляется счет в соответствующих счетчиках одноименных строк из матрицы  $9[0:M, 0:K]$ , на которых осуществляется подсчет количества блоков в которых одноименные входные группы  $0, K$  встречаются от 0 до  $M$  раз. Например, в первой строке счетчиков матрицы  $9[1, 0:K]$  осуществляется счет блоков, в которых одноименные группы встречаются один раз, а в нулевых строках матрицы  $9[0, 0:K]$  - в которых одноименные группы не встречаются ни разу.

Кроме того, единичное значение с внешнего входа конца блока  $IEB=1$  также поступает на первые входы элементов  $I$  из группы  $5_0, \dots, 5_k$ , на входы  $L$  разрешения записи триггеров из группы  $6_0, \dots, 6_k$  и на входы  $R$  синхронной установки в нулевое состояние счетчиков из группы  $7_0, \dots, 7_k$ . При этом счетчики  $7_0, \dots, 7_k$  устанавливаются в нулевое состояние. Одновременно на выходе только одного элемента  $I$  из группы  $5_0, \dots, 5_k$  будет установлено единичное значение соответствующее первой входной группе следующего входного блока с входного регистра данных  $RD$  3, по которому в единичное состояние устанавливается соответствующий одноименный триггер из группы  $6_0, \dots, 6_k$ , так как вход  $L$  имеет высший приоритет, а другие триггеры устанавливаются в нулевое состояние.

Кроме того, после сигнала остановки  $STOP=1$ , после передачи  $W$  блоков входной двоичной последовательности, при единичном значении на внешнем входе выдачи количества одинаковых групп  $IES=1$ , на группу внешних выходов  $OS$  выдаются в течение  $M$  тактов количества одинаковых групп в последовательности в зависимости от количества раз выявленных в последовательности, начиная с отсутствия в последовательности (0 раз или ни разу) до  $M$  раз.

Предлагаемое устройство работает следующим образом.

На фиг.2 приведена временная диаграмма работы предлагаемого устройства для детектирования  $W=4$  блоков, содержащих по четыре  $k=2$  разрядные группы входных данных и максимальном количестве одинаковых групп в блоке  $M=3$ .

Перед началом работы в начальное нулевое состояние устанавливаются - триггер пуска-останова  $TSS$  1, регистр входных данных  $RD$  3, группа триггеров  $6_0, \dots, 6_k$ , группа счетчиков  $7_0, \dots, 7_k$  и счетчики в матрице  $9[0:M, 1:K]$ , а также устанавливается начальный нулевой адрес в выходном буфере  $OB$  10.

Работа устройства для каждой входной последовательности начинается после подачи единичного сигнала  $START=1$ . При этом по фронту тактового сигнала  $IC$  (такт 2 на фиг.2) в единичное состояние устанавливается  $RS$ -триггер 1 пуска-останова  $TSS=1$ , по которому формируется единичное значение флага разрешения работы  $FE=1$  на выходе элемента  $I$  с инверсным входом 2, и далее на следующих тактах  $1C$  разрешается работа дешифратора групп  $DCG$  4.

Одновременно с сигналом  $START=1$  в такте 1 на внешнюю группу входных данных

IBD поступает первая входная группа  $IBD=1$ , которая в такте 2 принимается в регистр входных данных RD 3. Далее унитарный код «1 из K» устанавливается на дешифраторе групп DCG 4 и соответствующее единичное значение устанавливается на первом выходе  $DCG=0010$ . Поэтому в такте 3 осуществляется счет в первом триггере  $b[1]$  из группы  $b_0, \dots, b_k$  и устанавливается единичное значение  $b[1]=1$ .

Кроме того в такте 2 на внешнюю группу входных данных IBD поступает вторая входная группа  $IBD=2$  и в такте 3 последовательно поступает третья входная группа  $IBD=0$  первого блока входных данных, которые последовательно принимаются в регистр входных данных RD 3. Далее последовательно формируются соответствующие унитарные коды «1 из K» на дешифраторе групп DCG 4 - соответственно  $DCG=0100$  (такт 3) и  $DCG=0001$  (такт 4), по которым осуществляется счет соответственно во втором триггере  $b[2]=1$  (такт 4) и нулевом триггере  $b[0]=1$  (такт 5) из группы триггеров  $b_0, \dots, b_k$ .

В такте 4 также поступает четвертая входная группа  $IBD=2$  первого блока входных данных, для которой устанавливается унитарный код на дешифраторе групп  $DCG=0100$  (такт 5) и осуществляется счет во втором счетчике  $7[2]=1$  (такт 6), так как в такте 4 было установлено единичное значение во втором триггере  $b[2]=1$ , а также одновременно счет во втором триггере - установка в нулевое состояние  $b[2]=0$  (такт 6).

В такте 6 поступает единичный сигнал конца блока  $IEB=1$ , по которому разрешается работа выходного буфера OB 10, в который в такте 7, для первого входного блока  $IBD=1202$ , с выходов триггеров группы  $b_0, \dots, b_k$  и счетчиков группы  $7_0, \dots, 7_k$  по нулевому адресу записывается код OB (A0)=0211 - отсутствие групп соответствующих коду 3, две группы соответствующие коду 2, одна группа соответствующая коду 1 и одна группа соответствующая коду 0.

Одновременно в такте 6 по единичному сигналу конца блока  $IEB=1$  разрешается работа группы дешифраторов DC  $8_0, \dots, 8_k$ , на соответствующих выходах которых формируются единичные значения, по которым в такте 7 осуществляется счет в матрице счетчиков  $9[0:M, 0:K]$ : в нулевой строке только в третьем столбце - отсутствие групп с кодом 3 в первом блоке входных данных и устанавливается код  $9[0, 3-0]=1000$ ; в первой строке в первом и нулевом столбцах - по одному разу встречаются группы с кодами 1 и 0 и устанавливается код  $9[1, 3-0]=0011$ ; во второй строке только во втором столбце - два раза встречаются группы с кодом 2 и устанавливается код  $9[2, 3-0]=0100$ ; в третьей строке отсутствует счет так как нет кодов групп которые встречаются три раза.

Кроме того, в такте 5 на внешнюю группу входных данных IBD поступает пятая входная группа  $IBD=2$  (первая группа для второго входного блока), которая в такте 6 принимается в регистр входных данных RD 3 и на дешифраторе групп DCG 4 соответствующее единичное значение устанавливается на втором выходе  $DCG=0100$ . Далее при единичном значении с внешнего входа конца блока  $IEB=1$  единичное значение устанавливается только на выходе второго элемента И  $5_2=1$  и так как одновременно установлено единичное значение на входах L разрешения записи триггеров из группы  $b_0, \dots, b_k$ , то второй триггер устанавливается в единичное состояние  $b_2=1$ , а другие триггера в группе триггеров  $b_0, \dots, b_k$  устанавливаются в нулевое состояние  $b[3-0]=0100$  (такт 7). Одновременно в такте 7 в нулевое состояние устанавливаются счетчики в группе  $7_0, \dots, 7_k$ , так как единичное значение установлено на входах R синхронной установки в нулевое состояние счетчиков.

Далее в тактах 6-8 на внешнюю группу входных данных IBD последовательно

поступают коды  $IBD=1, 0, 0$  шестой-восьмой входных групп для второго входного блока, которые принимаются в регистр входных данных  $RD\ 3$  (такты 7-9), по которым устанавливаются соответствующие унитарные коды «1 из  $K$ » на выходах дешифратора групп  $DCG\ 4$  и далее осуществляется счет в соответствующих триггерах из группы  $b_0, \dots, b_k$  и счетчиках из группы  $7_0, \dots, 7_k$ .

В такте 10 поступает единичный сигнал конца блока  $IEB=1$  для второго входного блока, по которому разрешается работа выходного буфера  $OB\ 10$ , в который в такте 11 для второго блока  $IBD=2100$ , с выходов триггеров группы  $b_0, \dots, b_k$  и счетчиков группы  $7_0, \dots, 7_k$  по первому адресу записывается код  $OB\ (A1)=0112$  - отсутствие групп соответствующих коду 3, одна группа соответствующая коду 2, одна группа соответствующая коду 1 и две группы соответствующие коду 0.

Одновременно в такте 10 по единичному сигналу конца блока  $IEB=1$  разрешается работа группы дешифраторов  $DC\ 80, 8_k$ , на соответствующих выходах которых формируются единичные значения, по которым в такте 11 осуществляется счет в матрице счетчиков  $9[0:M, 0:K]$ : в нулевой строке только в третьем столбце - отсутствие групп с кодом 3 во втором блоке входных данных и устанавливается код  $9[0, 3-0]=2000$ ; в первой строке во втором и первом столбцах - по одному разу встречаются группы с кодами 2 и 1 и устанавливается код  $9[1, 3-0]=0121$ ; во второй строке только в нулевом столбце - два раза встречаются группы с кодом 0 и устанавливается код  $9[2, 3-0]=0101$ ; в третьей строке отсутствует счет так как нет кодов групп которые встречаются три раза.

Для третьего входного блока на внешнюю группу входных данных  $IBD$  последовательно поступают коды  $IBD=3, 2, 1, 0$  девятой-двенадцатой входных групп (такты 9-12), по которым формируются соответствующие унитарные коды «1 из  $K$ » на выходах дешифратора групп  $DCG\ 4$ , по которым далее осуществляется счет в соответствующих триггерах из группы  $b_0, \dots, b_k$  и счетчиках из группы  $7_0, \dots, 7_k$ .

В такте 14 поступает единичный сигнал конца блока  $IEB=1$  для третьего входного блока, по которому разрешается работа выходного буфера  $OB\ 10$ , в который в такте 15 для третьего блока  $IBD=3210$ , с выходов триггеров группы  $b_0, \dots, b_k$  и счетчиков группы  $7_0, \dots, 7_k$  по второму адресу записывается код  $OB\ (A2)=1111$  - в третьем блоке встречаются по одной группе соответствующей всем кодам 3, 2, 1, 0.

Одновременно в такте 15 по единичному сигналу конца блока  $IEB=1$  осуществляется счет в матрице счетчиков  $9[0:M, 0:K]$  - только в первой строке, так как все коды в третьем блоке встречаются по одному разу и устанавливается код  $9[1, 3-0]=1232$ .

Для четвертого входного блока на внешнюю группу входных данных  $IBD$  последовательно поступают коды  $IBD=3, 1, 3, 3$  тринадцатой-шестнадцатой входных групп (такты 13-16), для которых выполняется выше рассмотренный алгоритм.

В такте 18 поступает единичный сигнал конца блока  $IEB=1$  для четвертого входного блока, по которому разрешается работа выходного буфера  $OB\ 10$ , в который в такте 19 для четвертого блока  $IBD=3133$ , с выходов триггеров группы  $b_0, \dots, b_k$  и счетчиков группы  $7_0, \dots, 7_k$  по третьему адресу записывается код  $OB\ (A3)=3010$  - три группы соответствующие коду 3, нет групп соответствующих коду 2, одна группа соответствующая коду 1 и нет групп соответствующих коду 0.

Одновременно в такте 19 по единичному сигналу конца блока  $IEB=1$  осуществляется счет в матрице счетчиков  $9[0:M, 0:K]$ : в первой строке в первом столбце - один раз встречается группа с кодом 1 и устанавливается код  $9[1, 3-0]=1242$ ; в третьей строке в третьем столбце - три раза встречаются группы с кодом 3 и устанавливается код  $9[3,$

3-0]=1000.

Кроме того, одновременно в такте 18 по единичному сигналу остановки  $STOP=1$  устанавливается нулевое значение флага разрешения работы  $FE=0$  на выходе элемента И с инверсным входом 2, и далее на следующих тактах IC запрещается работа дешифратора групп DCG 4 - на всех выходах устанавливаются нулевые значения. При этом также сигналу остановки  $STOP=1$  в нулевое состояние переключается RS-триггер 1 пуска-останова  $TSS=0$ .

Кроме того во время работы предлагаемого устройства на группы внешних выходов количества одинаковых групп в последовательности OS передаются значения счетчиков нулевой строки матрицы  $9[0, 3-0]$  и последовательно устанавливаются коды:  $QS[3-0]=1000$  (такт 7);  $QS[3-0]=2000$  (такт 11);  $QS[3-0]=2101$  (такт 19) - соответствующие количества блоков в которых отсутствуют группы соответственно с кодами 3,2, 1,0.

Далее после сигнала остановки  $STOP=1$  в тактах 19-22 задается единичное значение на внешнем входе выдачи количества одинаковых групп  $IES=1$ . При этом осуществляется последовательная передача между строками матрицы счетчиков  $9[0:M, 0:K]$  в направлении от K-ой строки к 0-ой строке и запись нулевых кодов, а также осуществляется последовательная выдача с выходов нулевой строки матрицы счетчиков на группу внешних выходов QS: в такте 20 устанавливается код  $OS [3-0]=1242$  - количество блоков в которых входных коды групп встречаются один раз - в одном блоке код 3, в двух блоках код 2, в четырех блоках код 1 и в двух блоках код 0; в такте 21 устанавливается код  $QS[3-0]=0101$  - количество блоков в которых входных коды групп встречаются два раза - в одном блоке код 2 и в одном блоке код 0; в такте 22 устанавливается код  $QS[3-0]=1000$  - количество блоков в которых входных коды групп встречаются три раза - в одном блоке код 3.

Таким образом для входной последовательности данных, содержащей  $W=4$  блока по четыре  $k=2$  разрядных группы входных данных, выявлены и проведен подсчет одинаковых групп бит с кодами 3, 2, 1, 0 в каждом блоке для которых соответствующие значения записаны в выходной буфер  $OB 10$  по четырем адресам  $OB(A0)$ ,  $OB(A3)$ , а также в счетчиках матрицы  $9[0:M, 0:K]$  проведен подсчет блоков последовательности в которых соответственно коды 3, 2, 1, 0 встречаются три раза, два раза, один раз или ни разу (отсутствуют в блоке)

Считывание результатов на группу внешних выходов количества одинаковых групп в блоках  $QB$  из выходного буфера  $OB 10$  выполняется под управлением по внешней шине управления обменом  $EO$ . При реализации выходного буфера  $OB$  в виде двухпортовой памяти FIFO, обмен можно выполнять в процессе детектирования входных групп с учетом значений соответствующих флагов «Буфер пуст»  $FZ$  и «Буфер заполнен»  $FF$ .

Предлагаемое устройство может быть применено для аппаратной реализации статистических тестов, разработанных лабораторией информационных технологий Национального института стандартов и технологий (NIST, США), целью которых является определение меры случайности двоичных последовательностей, порожденных генераторами случайных чисел. В частности, предлагаемое устройство реализует тест на произвольные отклонения, в котором осуществляется подсчет отклонений кумулятивных сумм в состояниях циклов. В задачах обработки событий и результатов физических экспериментов осуществляется выявление одинаковых событий и подсчет их количества.

Вышеизложенные сведения позволяют сделать вывод, что предлагаемое устройство решает поставленную задачу и соответствует заявляемому техническому результату

-реализация возможности детектирования одинаковых групп числовой и символьной информации и подсчет количества таких групп в блоках входных данных входной двоичной последовательности.

(57) Формула изобретения

5 Устройство для подсчета одинаковых групп бит в блоках двоичной последовательности содержит внешние группу входных данных IBD, вход конца блока IEВ и вход выдачи количества одинаковых групп IES, группы внешних выходов количества одинаковых групп в блоках QB и количества одинаковых групп в последовательности QS, RS-триггер пуска-останова TSS 1, элемент И с инверсным входом 2, регистр входных данных RD 3, дешифратор групп DCG 4, группу элементов И 5<sub>0</sub>, ..., 5<sub>к</sub>, группу триггеров 6<sub>0</sub>, ..., 6<sub>к</sub>, группу счетчиков 7<sub>0</sub>, ..., 7<sub>к</sub>, группу дешифраторов 8<sub>0</sub>, ..., 8<sub>к</sub>, матрицу счетчиков 9[0:М, 0:К], содержащую (М+1) строк и (К+1) столбцов (где К - количество различных групп в блоках данных, М - максимальное количество одинаковых групп в блоке данных) и выходной буфер ОВ 10,

а также введены внешние входы тактового сигнала IC, пуска устройства START и остановки устройства STOP, внутренний флаг разрешения работы FE, внешняя шина управления обменом EO, внешние флаги FF «Буфер заполнен», FZ «Буфер пуст», причем внешний тактовый вход устройства IC соединен с входами синхронизации С RS-триггера пуска-останова TSS 1, регистра входных данных RD 3, триггеров группы 6<sub>0</sub>, ..., 6<sub>к</sub>, счетчиков группы 7<sub>0</sub>, ..., 7<sub>к</sub>, счетчиков матрицы 9[0:М, 0:К] и выходного буфера ОВ 10,

внешний вход пуска устройства START соединен с входом S синхронной установки в единичное состояние RS-триггера пуска-останова TSS 1,

25 внешний вход остановки устройства STOP соединен с входом R синхронной установки в нулевое состояние RS-триггера пуска-останова TSS 1, а также соединен со вторым инверсивным входом элемента И 2,

причем прямой выход RS-триггера пуска-останова TSS 1 соединен с первым прямым входом элемента И 2 с инверсивным входом, выход которого является внутренним 30 флагом разрешения работы FE и соединен с входом разрешения работы E дешифратора групп DCG 4,

группа входных данных IBD соединена с группой D-входов регистра входных данных RD 3, выходы которого соединены с адресными входами дешифратора групп DCG 4, у которого (К+1) выходов соединены с Т-входами одноименных триггеров группы 6<sub>0</sub>, 35 ..., 6<sub>к</sub>, с входами разрешения работы SE одноименных счетчиков группы 7<sub>0</sub>, ..., 7<sub>к</sub> и со вторыми входами одноименных элементов И группы 5<sub>0</sub>, ..., 5<sub>к</sub>, выходы которых соединены с D-входами одноименных триггеров группы 6<sub>0</sub>, ..., 6<sub>к</sub>, выходы которых соединены с Т-входами одноименных счетчиков группы 7<sub>0</sub>, ..., 7<sub>к</sub>, с соответствующими 40 D-входами выходного буфера ОВ 10 и с младшими адресными входами одноименных дешифраторов группы 8<sub>0</sub>, ..., 8<sub>к</sub>, у которых старшие разряды адресов соединены с выходами одноименных счетчиков группы 7<sub>0</sub>, ..., 7<sub>к</sub>, выходы которых также соединены с соответствующими группами D-входов выходного буфера ОВ 10, который также 45 подключен к внешней шине EO управления обменом, а соответствующие выходы выходного буфера ОВ 10 являются группой внешних выходов количества одинаковых групп в блоках QB и соответствующими внешними флагами «Буфер заполнен» FF и «Буфер пуст» FZ,

кроме того, внешний вход конца блока ИЕВ соединен с первыми входами элементов И группы  $5_0, \dots, 5_K$ , с входами разрешения записи L триггеров группы  $6_0, \dots, 6_K$ , с входами R синхронной установки в нулевое состояние счетчиков группы  $7_0, \dots, 7_K$ , с входом разрешения работы СЕ выходного буфера ОВ 10 и с входами разрешения работы Е дешифраторов группы  $8_0, \dots, 8_K$ , у каждого из которых (M+1) выходов, начиная с нулевого выхода до M-го выхода, соединены с входами СЕ разрешения работы счетчиков соответствующих строк, начиная с нулевой строки до M-й строки, одноименных столбцов матрицы счетчиков  $9[0:M, 0:K]$ , у которых входы L разрешения записи счетчиков соединены с внешним входом выдачи количества одинаковых групп ИЕС,

причем в K-й строке матрицы счетчиков матрицы  $9[0:M, 0:K]$  на группы D-входов счетчиков заданы нулевые коды «0», а группы D-входов счетчиков матрицы  $9[0:M, 0:K]$ , начиная с (K-1)-й строки до нулевой строки, подключены к выходам счетчиков следующих строк матрицы, начиная с K-й строки до первой строки, а выходы счетчиков нулевой строки матрицы являются соответствующими группами внешних выходов количества одинаковых групп в последовательности QS.

20

25

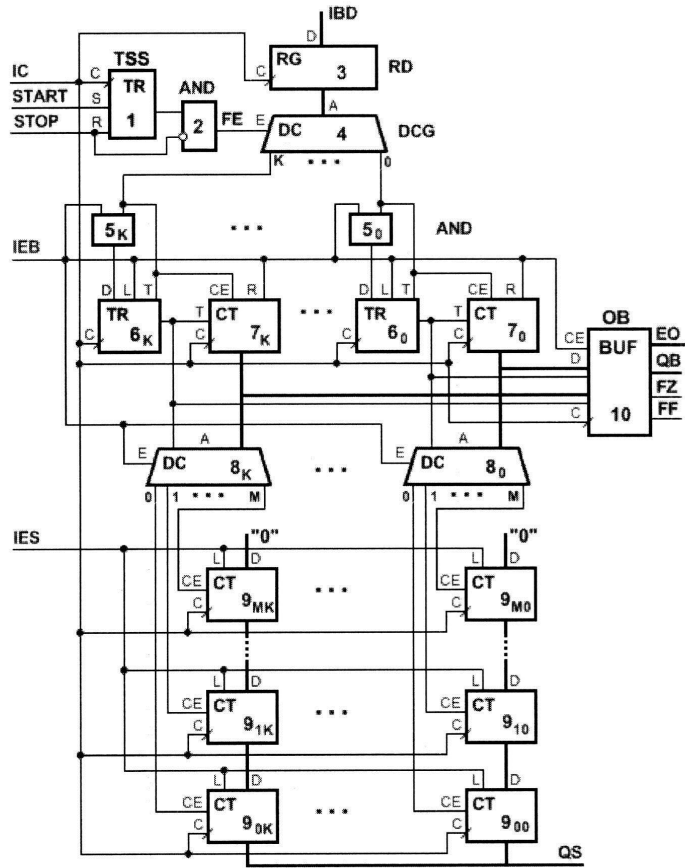
30

35

40

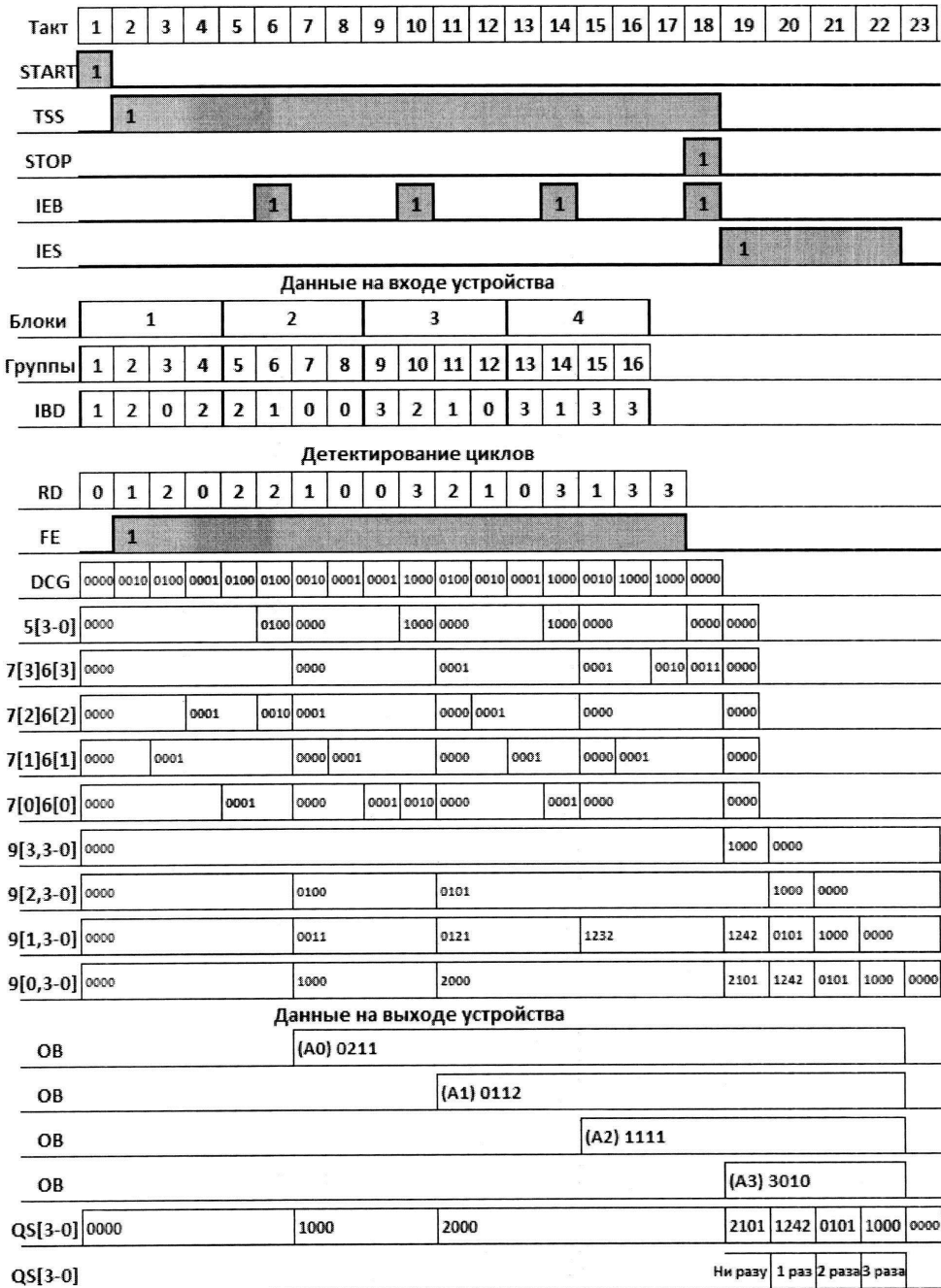
45

1



Фиг. 1

2



Фиг. 2