



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК
G06F 17/00 (2021.08); H03K 23/40 (2021.08)

(21)(22) Заявка: 2020143832, 29.12.2020

(24) Дата начала отсчета срока действия патента:
29.12.2020

Дата регистрации:
06.12.2021

Приоритет(ы):
(22) Дата подачи заявки: 29.12.2020

(45) Опубликовано: 06.12.2021 Бюл. № 34

Адрес для переписки:
115409, Москва, Каширское ш., 31, НИЯУ
МИФИ, ОУИС УНИ, Бейгул Г.В.

(72) Автор(ы):
Чугунков Илья Владимирович (RU),
Ядыкин Игорь Михайлович (RU)

(73) Патентообладатель(и):
федеральное государственное автономное
образовательное учреждение высшего
образования "Национальный
исследовательский ядерный университет
МИФИ" (НИЯУ МИФИ) (RU)

(56) Список документов, цитированных в отчете
о поиске: RU 2617329 C1, 24.04.2017. SU 780168
A1, 15.11.1980. US 9455717 B2, 27.09.2016. US
6449329 B1, 10.09.2002. US 6956423 B2,
18.10.2005.

(54) СЧЕТЧИК С СОХРАНЕНИЕМ КОЛИЧЕСТВА ЕДИНИЦ

(57) Реферат:
Изобретение относится к области
вычислительной техники и автоматики.
Технический результат заключается в обеспечении
возможности сохранения заданного количества
единиц в наборах последовательных состояний
счетчика. Счетчик с сохранением количества
единиц содержит внешние входы устройства D3,
D2, D1, D0, внешние управляющие входы Y1, Y0,

внешние выходы устройства Q3, Q2, Q1, Q0,
внешний выход переноса CR, синхронные D-
триггеры с входом CE разрешения работы 1₃, 1₂,
1₁, 1₀, мультиплексоры 2₃, 2₂, 2₁, 2₀, логический
элемент ИЛИ-НЕ 3, двухразрядный двоичный
счетчик 4, а также внешний вход разрешения
работы 5 и внешний вход синхронизации 6. 2 ил.,
2 табл.

RU 2 761 135 C1

RU 2 761 135 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 17/00 (2006.01)
H03K 23/40 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC
G06F 17/00 (2021.08); *H03K 23/40* (2021.08)

(21)(22) Application: **2020143832, 29.12.2020**

(24) Effective date for property rights:
29.12.2020

Registration date:
06.12.2021

Priority:

(22) Date of filing: **29.12.2020**

(45) Date of publication: **06.12.2021** Bull. № 34

Mail address:

**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI,
OUIS UNI, Bejgul G.V.**

(72) Inventor(s):

**Chugunkov Ilya Vladimirovich (RU),
Yadykin Igor Mikhajlovich (RU)**

(73) Proprietor(s):

**federalnoe gosudarstvennoe avtonomnoe
obrazovatelnoe uchrezhdenie vysshego
obrazovaniya "Natsionalnyj issledovatel'skij
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**

(54) **COUNTER WITH SAVING THE NUMBER OF UNITS**

(57) Abstract:

FIELD: computer technology.

SUBSTANCE: invention relates to the field of computer technology and automation. The counter with the preservation of the number of units contains external inputs of the device D3, D2, D1, D0, external control inputs Y1, Y0, external outputs of the device Q3, Q2, Q1, Q0, external transfer output CR, synchronous D-triggers with work permit input CE 1₃, 1₂, 1₁, 1₀,

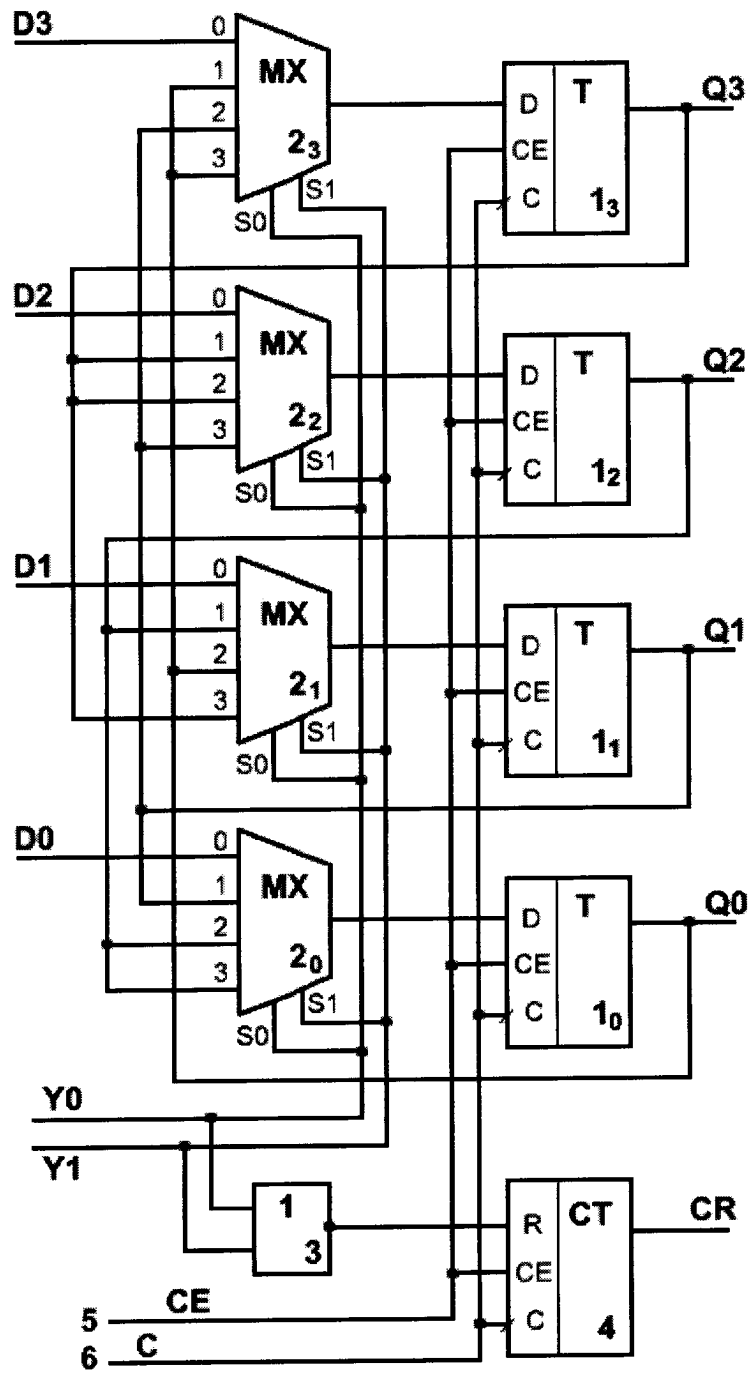
multiplexers 2₃, 2₂, 2₁, 2₀, logic element OR-NOT 3, a two-bit binary counter 4, as well as an external input of work permits 5 and an external synchronization input 6.

EFFECT: ensuring that a given number of units can be stored in sets of consecutive counter states.

1 cl, 2 dwg, 2 tbl

C 1
2 7 6 1 1 3 5
R U

R U
2 7 6 1 1 3 5
C 1



Фиг. 1

ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники и автоматики, предназначено для генерации многовыходных кодовых комбинаций и может быть использовано в задачах криптографии и задачах минимизации с помощью аппарата

линейного программирования.

ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ

Известен счетчик с переменным модулем счета (Схемотехника ЭВМ. Сборник задач: учебное пособие. - М.: НИЯУ МИФИ, 2012. - 240 с., рис. 72, с. 79-81), содержащий счетчик, схему сравнения и элемент ИЛИ, причем выходы счетчика соединены с первой группой входов схемы сравнения, вторая группа входов которой соединена с внешними входами задания модуля счета, а выход схемы сравнения соединен с первым входом элемента ИЛИ, второй вход которого подключен к внешнему входу начальной установки, а выход элемента ИЛИ соединен с входом синхронной установки счетчика в нулевое состояние. Данный счетчик позволяет оперативно изменять (программировать) модуль пересчета.

Недостатком данного устройства является формирование последовательных двоичных наборов, которые не сохраняют количество единичных бит.

Известен счетчик групповой структуры с переменным модулем (RU №2617329 C1, МПК H03K 23/40, G06F 17/00, заявлен 21.03.2016, опубликован 24.04.2017, Бюл. №12) содержащий группу из N счетчиков $1_1, 1_2, \dots, 1_n$, первую группу из N схем сравнения $2_1, 2_2, \dots, 2_n$, группу из $N-1$ сумматоров $3_1, 3_2, \dots, 3_{n-1}$, вторую группу из N схем сравнения $4_1, 4_2, \dots, 4_n$, первую группу из N элементов ИЛИ $5_1, 5_2, \dots, 5_n$, вторую группу из N элементов ИЛИ $6_1, 6_2, \dots, 6_n$, дешифратор 7, мультиплексор 8, группу из N внешних входов задания модулей счета $9_1, 9_2, \dots, 9_n$, внешние входы задания суммарного модуля счета 10, внешние входы задания количества счетчиков 11, внешний вход синхронизации 12, внешний вход сброса 13, внешний вход разрешения работы 14, группу из N внешних выходов $15_1, 15_2, \dots, 15_n$, внешний выход переноса счетчика 16. Алгоритм работы счетчика основан на установке в нулевое состояние младших групп счетчика при достижении в текущей группе значения суммарного модуля MA .

Недостатком данного устройства является формирование последовательных двоичных наборов, которые не сохраняют количество единичных бит.

Известен генератор m -разрядных двоичных последовательностей с неубывающим числом единиц (описан в Устройстве для решения комбинаторных задач SU №1672466 A1, МПК G06F 15/20, заявлено 31.05.1989, опубликовано 23.08.1991, Бюл. №31 и в Устройстве для вычисления комбинаторных функций RU №2006934 C1, МПК G06F 15/20, заявлено 01.07.1991, опубликовано 30.01.1994), содержащий группу из m загрузочных триггеров с прямыми и инверсными выходами и начальной установкой в начальное состояние, треугольную матрицу (из m столбцов и m строк) разрядных триггеров с начальной установкой в нулевое состояние, группы элементов И и элементов ИЛИ, которые также образуют треугольные матрицы, и группу выходных элементов ИЛИ, объединяющие прямые выходы триггеров в разрядных столбцах треугольной матрицы.

Недостатком данного устройства являются большие аппаратные затраты и низкое быстродействие, что связано с последовательным формированием следующего состояния последовательности.

Наиболее близким устройством, того же назначения к заявленному изобретению по совокупности признаков, является принятый за прототип, счетчик групповой структуры с сохранением количества единиц в группах (RU №2736704 C1, МПК H03K 23/40, G06F

17/00, заявлен 17.03.2020, опубликован 19.11.2020, Бюл. №32) содержащий внешнюю входную N разрядную шину данных DI, внешнюю выходную N разрядную шину QO, группу из G групповых счетчиков $1_1, 1_2, \dots, 1_g$, первую группу из G элементов И $2_1, 2_2, \dots, 2_g$, группу из G элементов ИЛИ $3_1, 3_2, \dots, 3_g$, блок межгрупповых переносов 4, 5
 внешний вход синхронизации CLK, внешние входные G разрядные шины разрешения загрузки в группы EL, параллельного счета групп EP и последовательного счета групп ЕС, внешний выход переноса CO. Каждый из групповых счетчиков 1_i (где $i = 1, \dots, G$) состоит (K_i) разрядов (где $N = K_1 + K_2 + \dots + K_G$) и содержит из (K_i) D-триггеров $5_1, 5_2, 5_{(K_i)}$, 10
 (K_i), формирователь переноса 6, группу из (K_i) формирователей кода с сохранением количества единиц $7_1, 7_2, \dots, 7_{(K_i)}$, группу из (K_i) мультиплексоров MX $8_1, 8_2, \dots, 8_{(K_i)}$, элемент ИЛИ 9 и внутреннюю (K_i) разрядную шину QT выходов триггеров.

Недостатком данного устройства является выполнение переходов для каждого входного набора единиц K_i только по одному графу переходов и большие аппаратные 15
 затраты на формирование кода следующего состояния.

ЗАДАЧА ИЗОБРЕТЕНИЯ

Задачей изобретения является разработка аппаратных средств, которые сохраняют количество единиц в последовательных состояниях счетчика.

В задачах криптографии при формировании блочных шифров устройство 20
 предназначено для реализации операций рассеивания и перемешивания в наборах раундовых функций при одновременной параллельной обработке нескольких групп данных по различным графам переходов.

В комбинаторных задачах и задачах целочисленного линейного программирования устройство предназначено для генерации перестановок без повторов.

Техническим результатом изобретения является расширение арсенала средств того же назначения, в части возможности сохранения заданного количества единиц в наборах 25
 последовательных состояний счетчика, управлять выбором графа перехода для состояний счетчика и уменьшение аппаратных затрат.

КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

30
 Указанный технический результат при осуществлении изобретения достигается тем, что счетчик с сохранением количества единиц содержит внешние входы устройства D3, D2, D1, D0, внешние управляющие входы Y1, Y0, внешние выходы устройства Q3, Q2, Q1, Q0, внешний выход переноса CR, синхронные D-триггеры с входом SE разрешения работы $1_3, 1_2, 1_1, 1_0$, мультиплексоры $2_3, 2_2, 2_1, 2_0$, логический элемент ИЛИ-НЕ 3, 35
 двухразрядный двоичный счетчик 4, а также содержит внешний вход разрешения работы 5 и внешний вход синхронизации 6,

причем внешние входы устройства D3, D2, D1, D0 соединены с нулевыми входами соответствующих мультиплексоров $2_3, 2_2, 2_1, 2_0$,

40
 внешний вход разрешения работы 5 и внешний вход синхронизации 6 соединены с соответствующими одноименными входами SE разрешения работы и входами C синхронизации D-триггеров $1_3, 1_2, 1_1, 1_0$ и двоичного счетчика 4,

внешние управляющие входы Y1, Y0 соединены с соответствующими адресными входами S1, S0 мультиплексоров $2_3, 2_2, 2_1, 2_0$ и подключены к первому и второму входам 45
 логического элемента ИЛИ-НЕ 3, выход которого соединен с входом R синхронной установки счетчика 4 в нулевое состояние, выход которого является внешним выходом переноса CR,

кроме того, выход D-триггера 1_3 соединен с первым и вторым информационными

входами мультиплексора 2_2 и третьим информационным входом мультиплексора 2_1 ,
 выход D-триггера 1_2 соединен с первым информационным входом мультиплексора
 2_1 , а также соединен со вторым и с третьим информационными входами мультиплексора
 5 2_0 ,

выход D-триггера 1_1 соединен со вторым информационным входом мультиплексора
 2_3 , с третьим информационным входом мультиплексора 2_2 , и с первым информационным
 входом мультиплексора 2_0 ,

10 выход D-триггера 1_0 соединен с первым и третьим информационными входами
 мультиплексора 2_3 и со вторым информационным входом мультиплексора 2_1 ,

причем выходы мультиплексоров 2_3 , 2_2 , 2_1 , 2_0 соединены с входами D
 соответствующих D-триггеров 1_3 , 1_2 , 1_1 , 1_0 , выходы которых являются соответствующими
 15 внешними выходами устройства Q3, Q2, Q1, Q0.

КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 приведена функциональная схема предлагаемого счетчика с сохранением
 количества единиц. На фиг. 2 приведено условное графическое обозначение
 предлагаемого счетчика. В таблице 1 приведены выполняемые микрооперации счетчика.
 В таблице 2 приведены задаваемые графы переходов счетчика.

20 На фиг. 1-2, в таблицах 1-2 и в тексте приняты следующие обозначения:

D3, D2, D1, D0 - внешние входы устройства,

Y1, Y0 - внешние управляющие входы,

Q3, Q2, Q1, Q0 - внешние выходы устройства,

CR - внешний выход переноса,

25 G - графы переходов,

V1, V2, V3 - варианты коммутации межразрядных цепей переноса,

C - синхровходы счетчика СТ и триггеров Т,

CE - входы разрешения работы,

CR - внешний выход переноса,

30 СТ - двухразрядный двоичный счетчик,

D - информационный вход триггера,

K - количество единиц,

MX - мультиплексор,

N=4 - количество разрядов,

35 R - синхронный вход установки триггера в нулевое состояние, S1, S0 - адресные
 входы мультиплексоров, Т - триггер.

1_3 , 1_2 , 1_1 , 1_0 - синхронные D-триггера с входом CE разрешения работы,

2_3 , 2_2 , 2_1 , 2_0 - мультиплексоры,

40 3 - логический элемент ИЛИ-НЕ,

4 - двухразрядный двоичный счетчик,

5 - внешний вход разрешения работы CE,

6 - внешний вход синхронизации C.

Счетчик с сохранением количества единиц содержит внешние входы устройства D3,
 45 D2, D1, D0, внешние управляющие входы Y1, Y0, внешние выходы устройства Q3, Q2,
 Q1, Q0, внешний выход переноса CR, синхронные D-триггеры с входом CE разрешения
 работы 1_3 , 1_2 , 1_1 , 1_0 , мультиплексоры 2_3 , 2_2 , 2_1 , 2_0 , логический элемент ИЛИ-НЕ 3,
 двухразрядный двоичный счетчик 4, а также содержит внешний вход разрешения работы

5 и внешний вход синхронизации 6.

Внешние входы устройства D3, D2, D1, D0 соединены с нулевыми входами соответствующих мультиплексоров 2₃, 2₂, 2₁, 2₀.

5 Внешний вход разрешения работы 5 и внешний вход синхронизации 6 соединены с соответствующими одноименными входами СЕ разрешения работы и входами С синхронизации D-триггеров 1₃, 1₂, 1₁ 1₀ и двоичного счетчика 4.

10 Внешние управляющие входы Y1, Y0 соединены с соответствующими адресными входами S1, S0 мультиплексоров 2₃, 2₂, 2₁, 2₀ и подключены к первому и второму входам логического элемента ИЛИ-НЕ 3. Выход логического элемента ИЛИ-НЕ 3 соединен с входом R синхронной установки счетчика 4 в нулевое состояние, выход которого является внешним выходом переноса CR.

Выход D-триггера 1₃ соединен с первым и вторым информационными входами мультиплексора 2₂ и третьим информационным входом мультиплексора 2₁.

15 Выход D-триггера 1₂ соединен с первым информационным входом мультиплексора 2₁, а также соединен со вторым и с третьим информационными входами мультиплексора 2₀.

20 Выход D-триггера 1₁ соединен со вторым информационным входом мультиплексора 2₃, с третьим информационным входом мультиплексора 2₁, и с первым информационным входом мультиплексора 2₀.

Выход D-триггера 1₀ соединен с первым и третьим информационными входами мультиплексора 2₃ и со вторым информационным входом мультиплексора 2₁.

25 Выходы мультиплексоров 2₃, 2₂, 2₁, 2₀ соединены с входами D соответствующих D-триггеров 1₃, 1₂, 1₁ 1₀.

Выходы D-триггеров 1₃, 1₂, 1₁ 1₀ являются соответствующими внешними выходами устройства Q3, Q2, Q1, Q0.

30 ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем. Предлагаемый счетчик позволяет генерировать на внешних выходах Q счетчика N разрядные кодовые комбинации (N=4), в которых сохраняется заданное количество единиц K. При этом в устройстве можно задавать (программировать) единичные значения на соответствующих внешних входах данных D3, D2, D1, D0 (K≤N).

35 Предлагаемый счетчик реализован на четырех синхронных D-триггерах 1₃, 1₂, 1₁ 1₀. На внешних управляющих входах Y1, Y0 задается номер варианта (V1, V2 или V3) коммутации межразрядных цепей переноса или режим начальной загрузки. В таблице 1 приведены выполняемые микрооперации (загрузка или сдвиг) и цепи межразрядных переносов. Например, вариант V1 и 0-3-2-1-0 соответствует следующим межразрядным сдвигам: из 0-го разряда в 3-й разряд, из 3-го разряда во 2-й разряд, из 2-го разряда в 1-й разряд и из 1-го разряда в 0-й разряд. Все межразрядные сдвиги осуществляются одновременно по фронту 0/1 синхросигналов С на внешнем входе 6.

45 Счетчик осуществляет переходы в соответствии с графами состояний при единичном значении разрешающего сигнала СЕ на внешнем входе 5 в соответствии с графами состояний G. Функционирование счетчика приведено в таблице 2 в виде графов переходов G, последовательности состояний. В вершинах графа указаны значения десятичных кодов состояний выходов Q (Q3 старший разряд, Q0 - младший). В номере

графа G первая цифра указывает количество единиц в состояниях, а вторая - порядковый номер. Например, граф $G25$ - в разрядах $Q3, \dots, Q0$ кода состояний содержится две единицы, а цифра 5 - порядковый номер графа. В начальное состояние (первая левая вершина графа) счетчик устанавливается в режиме загрузки ($Y1=0, Y0=0$). Одноименные графы G в таблице 2 указывают на одинаковую последовательность переходов между состояниями.

При одной единице ($K=1$ из 4) и трех единицах ($K=3$ из 4) графы переходов соответственно $G11, G12, G13$ и $G31, G32, G33$ определяются только номером варианта ($V1, V2$ или $V3$) коммутации межразрядных цепей переноса для всех соответствующих начальных значений. При двух единицах ($K=2$ из 4) переходы возможны по шести графам $G21, \dots, G26$ в зависимости от номера варианта ($V1, V2$ или $V3$) коммутации межразрядных цепей переноса и от начальных данных на входах $D3, D2, D1, D0$ или состояния установленного на выходах при смене варианта ($V1, V2$ или $V3$) коммутации. В графах $G23, G24$ и $G26$ (при $K=2$) соответствующих вариантов ($V1, V2$ или $V3$) коммутации межразрядных цепей переноса содержится только по две вершины для устойчивых состояний счетчика.

Кроме того, в устройстве осуществляется счет тактов двухразрядным двоичным счетчиком 4. При этом на каждом четвертом такте формируется единичное значение сигнала переноса $CR=1$. Синхронная установка по входу R в начальное нулевое состояние счетчика 4 осуществляется в режиме загрузки ($Y1=0, Y0=0$).

Предлагаемый счетчик работает следующим образом. Алгоритм работы счетчика заключается в следующем.

Перед началом работы, в режиме параллельной загрузки ($Y1=0, Y0=0$), на внешних входах $D3, D2, D1, D0$ задается начальное значение кода, содержащее K единиц. Запись в D -триггеры $1_3, 1_2, 1_1, 1_0$ проводится по синхросигналу C на внешнем входе 6 при единичном значении сигнала разрешения работы SE на внешнем входе 5. Одновременно формируется единичное значение на выходе логического элемента ИЛИ-НЕ 3, которое передается на вход R счетчика 4, по которому осуществляется синхронная установка в нулевое состояние счетчика 4.

Далее на управляющих входах $Y1$ и $Y0$ устанавливается код в соответствии с таблицей 1, соответствующий номеру варианта ($V1, V2$ или $V3$) коммутации межразрядных цепей переноса. Переходы в следующие состояния в соответствии с графами G проводятся по следующим синхросигналам C на внешнем входе 6. Значения с выходов синхронных D -триггеры $1_3, 1_2, 1_1, 1_0$ передаются на внешние выходы устройства $Q3, Q2, Q1, Q0$.

Одновременно в двухразрядном двоичном счетчике 4 осуществляется счет синхросигналов C и на каждом четвертом такте на выходе счетчика 4 формируется единичное значение, которое передается на внешний выход переноса $CR=1$.

Далее в процессе работы перед очередным синхросигналом C можно изменить значение кода на управляющих входах $Y1$ и $Y0$ в соответствии с таблицей 1, соответствующее новому номеру варианта ($V1, V2$ или $V3$) коммутации межразрядных цепей переноса. При этом устройство продолжит переходы в соответствии с задаваемым графом G , начиная с состояния, установленного в предыдущий момент времени, и двоичный счетчик 4 также продолжит счет с текущего значения.

Кроме того, в процессе работы перед очередным синхросигналом C можно задать новое требуемое значение кода на внешних входах $D3, D2, D1, D0$ содержащее K единиц и установить режим параллельной загрузки ($Y1=0, Y0=0$), при котором значение кода будет загружено в D -триггеры $1_3, 1_2, 1_1, 1_0$ по синхросигналу C на внешнем входе 6 и

при этом одновременно осуществляется синхронная установка в нулевое состояние счетчика 4.

В сравнении с прототипом в предлагаемом устройстве сокращаются аппаратные затраты, т.к. отсутствуют формирователи следующего состояния, а значения кода следующего состояния осуществляется за счет задания варианта коммутации межразрядных цепей переносов между разрядами счетчика.

Вышеизложенные сведения позволяют сделать вывод, что предлагаемый счетчик соответствует заявляемому техническому результату - реализует на выходах генерацию кодовых комбинаций с сохранением количества единиц в наборах последовательных состояний счетчика, имеет возможность задавать начальное состояние счетчика и задавать вариант коммутации межразрядных цепей переносов между разрядами счетчика для соответствующих графов переходов, а также уменьшаются аппаратные затраты.

(57) Формула изобретения

Счетчик с сохранением количества единиц содержит внешние входы устройства D3, D2, D1, D0, внешние управляющие входы Y1, Y0, внешние выходы устройства Q3, Q2, Q1, Q0, внешний выход переноса CR, синхронные D-триггеры с входом SE разрешения работы I₃, I₂, I₁, I₀, мультиплексоры 2₃, 2₂, 2₁, 2₀, логический элемент ИЛИ-НЕ 3, двухразрядный двоичный счетчик 4, а также содержит внешний вход разрешения работы 5 и внешний вход синхронизации 6,

причем внешние входы устройства D3, D2, D1, D0 соединены с нулевыми входами соответствующих мультиплексоров 2₃, 2₂, 2₁, 2₀,

внешний вход разрешения работы 5 и внешний вход синхронизации 6 соединены с соответствующими одноименными входами SE разрешения работы и входами C синхронизации D-триггеров I₃, I₂, I₁, I₀ и двоичного счетчика 4,

внешние управляющие входы Y1, Y0 соединены с соответствующими адресными входами S1, S0 мультиплексоров 2₃, 2₂, 2₁, 2₀ и подключены к первому и второму входам логического элемента ИЛИ-НЕ 3, выход которого соединен с входом R синхронной установки счетчика 4 в нулевое состояние, выход которого является внешним выходом переноса CR,

кроме того, выход D-триггера I₃ соединен с первым и вторым информационными входами мультиплексора 2₂ и третьим информационным входом мультиплексора 2₁,

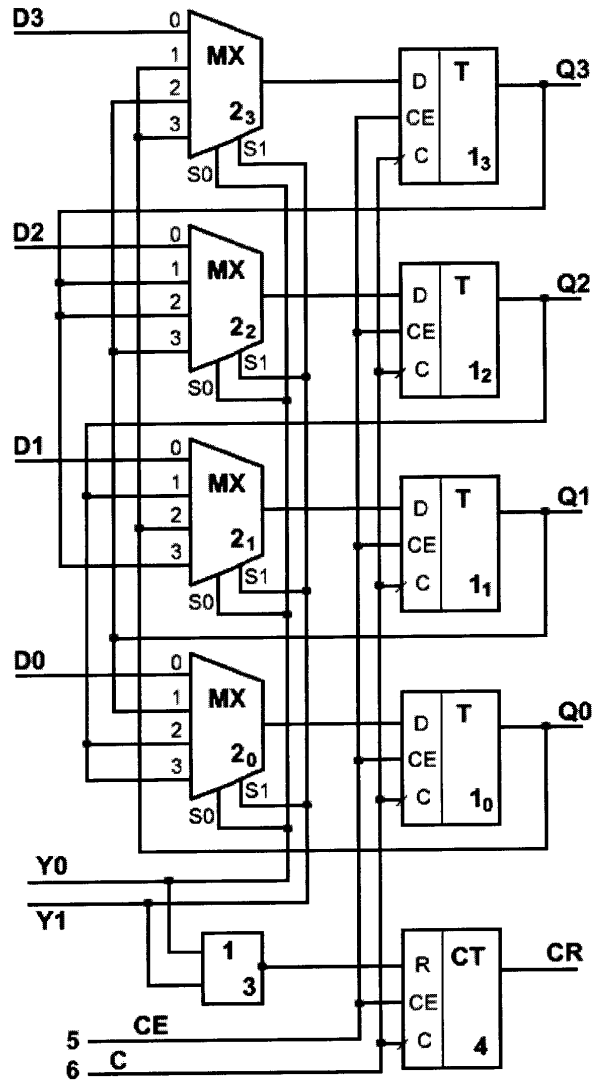
выход D-триггера I₂ соединен с первым информационным входом мультиплексора 2₁, а также соединен со вторым и с третьим информационными входами мультиплексора 2₀,

выход D-триггера I₁ соединен со вторым информационным входом мультиплексора 2₃, с третьим информационным входом мультиплексора 2₂, и с первым информационным входом мультиплексора 2₀,

выход D-триггера I₀ соединен с первым и третьим информационными входами мультиплексора 2₃ и со вторым информационным входом мультиплексора 2₁,

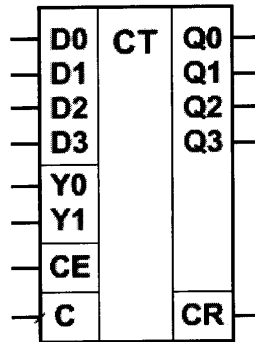
причем выходы мультиплексоров 2₃, 2₂, 2₁, 2₀ соединены с входами D соответствующих D-триггеров I₃, I₂, I₁, I₀, выходы которых являются соответствующими внешними выходами устройства Q3, Q2, Q1, Q0.

1



Фиг. 1

2



Фиг. 2

Таблица 1

Входы		Выходы				Микрооперация
Y1	Y0	Q3	Q2	Q1	Q0	
0	0	D3	D2	D1	D0	Параллельная загрузка
0	1	Q0	Q3	Q2	Q1	Сдвиг V1 0 - 3 - 2 - 1 - 0
1	0	Q1	Q3	Q0	Q2	Сдвиг V2 1 - 3 - 0 - 2 - 1
1	1	Q0	Q1	Q3	Q2	Сдвиг V3 0 - 1 - 3 - 2 - 0

Таблица 2

К из N	V1 0-3-2-1-0	V2 1-3-0-2-1	V3 0-1-3-2-0
1 из 4 D=8 (1000)			
2 из 4 D=12 (1100)			
3 из 4 D=14 (1110)			