



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

G06F 13/37 (2022.08); G06F 9/50 (2022.08); G06F 9/46 (2022.08); H03M 7/22 (2022.08)

(21)(22) Заявка: 2022106084, 09.03.2022

(24) Дата начала отсчета срока действия патента:
09.03.2022Дата регистрации:
13.12.2022

Приоритет(ы):

(22) Дата подачи заявки: 09.03.2022

(45) Опубликовано: 13.12.2022 Бюл. № 35

Адрес для переписки:

115409, Москва, Каширское ш., 31, НИЯУ
МИФИ, ОУИС УНИ, Бейгул Г.В.

(72) Автор(ы):

Ядыкин Игорь Михайлович (RU)

(73) Патентообладатель(и):

федеральное государственное автономное
образовательное учреждение высшего
образования "Национальный
исследовательский ядерный университет
МИФИ" (НИЯУ МИФИ) (RU)

(56) Список документов, цитированных в отчете

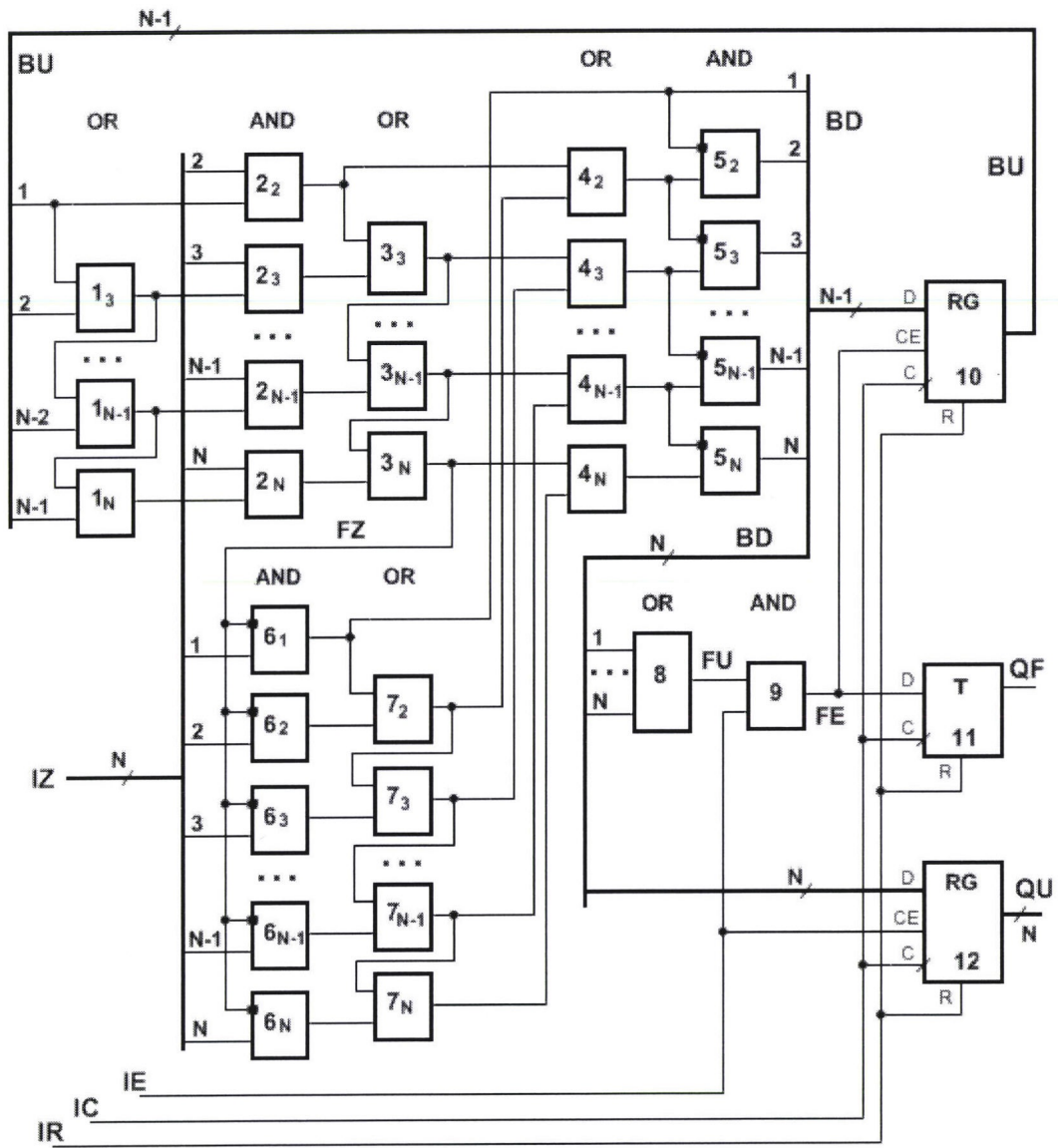
о поиске: RU 2749151 C1, 07.06.2021. RU
2591017 C1, 10.07.2016. RU 2415465 C2,
27.03.2011. US 10268604 B2, 23.04.2019.

(54) КРУГОВОЙ АРБИТР ДИСПЕТЧЕРА ЗАДАЧ

(57) Реферат:

Изобретение относится к области вычислительной техники. Техническим результатом изобретения является повышение точности определения приоритетного указателя в равноранговых входных запросах на основе кругового арбитража. Устройство содержит N разрядные внешнюю шину входных заявок IZ и внешнюю шину выходов указателей приоритета QU, внешний вход разрешения работы IE, внешний тактовый вход IC, внешний вход установки в нулевое состояние IR и внешний флаг запроса QF, а также содержит первую группу из (N-2) элементов ИЛИ 1₃, 1₄, ..., 1_N, первую группу из (N-1) элементов И 2₂, 2₃, ..., 2_N, вторую группу

из (N-2) элементов ИЛИ 3₃, 3₄, ..., 3_N, третью группу из (N-1) элементов ИЛИ 4₂, 4₃, ..., 4_N, первую группу из (N-1) элементов И с инверсным входом 5₂, 5₃, ..., 5_N, вторую группу из N элементов И с инверсным входом 6₁, 6₂, ..., 6_N, четвертую группу из (N-1) элементов ИЛИ 7₂, 7₃, ..., 7_N, элемент ИЛИ 8, элемент И 9, первый регистр 10, триггер 11, второй регистр 12, внутреннюю N разрядную шину данных BD, внутреннюю (N-1) разрядную шину приоритета BU, внутренний флаг разрешения FE, внутренний флаг запроса FU и внутренний флаг нуля FZ. 2 ил.



Фиг. 1

RU 2785771 C1

RU 2785771 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 13/37 (2006.01)
G06F 9/50 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC

G06F 13/37 (2022.08); *G06F 9/50* (2022.08); *G06F 9/46* (2022.08); *H03M 7/22* (2022.08)

(21)(22) Application: **2022106084, 09.03.2022**

(24) Effective date for property rights:
09.03.2022

Registration date:
13.12.2022

Priority:

(22) Date of filing: **09.03.2022**

(45) Date of publication: **13.12.2022** Bull. № 35

Mail address:

**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI,
OUIS UNI, Bejgul G.V.**

(72) Inventor(s):

Yadykin Igor Mikhajlovich (RU)

(73) Proprietor(s):

**federalnoe gosudarstvennoe avtonomnoe
obrazovatelnoe uchrezhdenie vysshego
obrazovaniya "Natsionalnyj issledovatel'skij
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**

(54) **TASK MANAGER ROUND ARBITER**

(57) Abstract:

FIELD: computer technology.

SUBSTANCE: invention relates to the field of computer technology. The device contains N-bit external bus of input requests IZ and an external bus of outputs of priority indicators QU, an external operation enable input IE, an external clock input IC, an external setting input to the zero state IR and an external request flag QF, and also contains the first group of (N- 2) elements OR $1_3, 1_4, \dots, 1_N$, the first group of (N-1) elements AND $2_2, 2_3, \dots, 2_N$, the second group of (N-2) elements OR $3_3, 3_4, \dots, 3_N$, the third group of (N-1) elements OR $4_2, 4_3, \dots, 4_N$, the first group of (N-1)

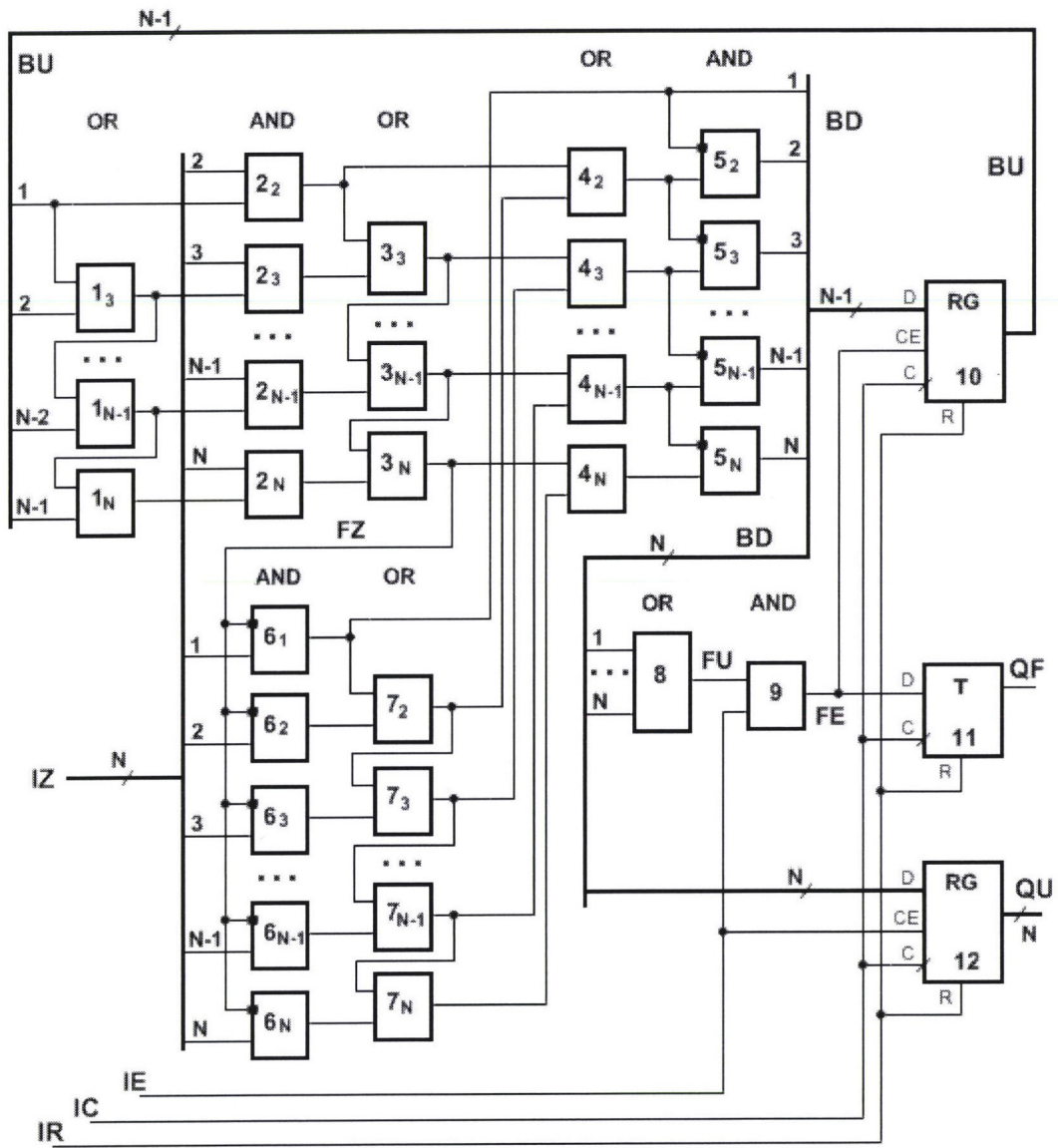
elements AND with inverse input $5_2, 5_3, \dots, 5_N$, the second group of N elements AND with inverse input $6_1, 6_2, \dots, 6_N$, fourth group of (N-1) OR elements $7_2, 7_3, \dots, 7_N$, OR element 8, AND element 9, first register 10, flip-flop 11, second register 12, internal N bit data bus BD, internal (N-1) priority bit bus BU, internal enable flag FE, internal request flag FU, and internal zero flag FZ.

EFFECT: improving the accuracy of determining the priority pointer in peer-to-peer input requests based on circular arbitration.

1 cl, 2 dwg

RU 2 785 771 C1

RU 2 785 771 C1



Фиг. 1

RU 2785771 C1

RU 2785771 C1

ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники и может быть использовано для арбитража в системах обработки информации при организации обмена данными между устройствами и в многопроцессорных системах обработки информации для распараллеливания потока заявок.

ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ

Известен арбитр приоритетов многоранговых запросов (RU №2649948 C1, МПК G06F 13/37, заявлен 15.05.2017, опубликован 05.04.2018, Бюл. №10), содержащий N групп внешних входов запросов IZ_1, IZ_2, \dots, IZ_N , каждая из которых содержит M разрядов ранга приоритета (высший ранг приоритета имеет старший M-ый разряд, старший приоритет имеет старшая группа IZ_N), первую группу из N внешних выходов указателей группы старшего приоритета U_1, U_2, \dots, U_N , вторую группу из M внешних выходов указателей высшего ранга приоритета в группе OZ_1, OZ_2, \dots, OZ_M , группу из (N-2) элементов ИЛИ $4_1, 4_2, \dots, 4_{(N-2)}$, первую группу из (N-1) элементов запрета И с одним инверсным входом $5_1, 5_2, \dots, 5_{(N-1)}$, группу из M элементов ИЛИ-НЕ $6_1, 6_2, \dots, 6_M$, вторую группу из (M-1) элементов запрета И с одним инверсным входом $7_1, 7_2, \dots, 7_{(M-1)}$, инвертор 8 и группу из N блоков каналов анализа приоритета $1_1, 1_2, \dots, 1_N$, каждый из которых содержит элемент ИЛИ 3 и группу из (M-1) элементов И $2_1, 2_2, \dots, 2_{(M-1)}$, при этом каждый v-й элемент И 2_v ($v=1, 2, \dots, (M-1)$) содержит (M-v+1) входов.

В данном устройстве указатель старшей единицы определяется для высшего приоритетного запроса номер ранга и номер группы запросов (канала), соответствующей этому рангу. При анализе запросов ранг запроса имеет высший приоритет и для этого ранга уже определяется соответствующий ему номер канала группы запросов. При этом каждой группе запросов присваивается фиксированный приоритет - старший приоритет присвоен группе запросов со старшим номером IZ_N , а младший приоритет задан у первой группы запросов IZ_1 . Кроме того каждая группа запросов содержит M разрядов ранга приоритета. При этом каждому разряду ранга присваивается фиксированный приоритет ранга - высший ранг приоритета присвоен разряду со старшим номером M, а младший ранг приоритета присвоен первому разряду запросов.

Недостатком данного устройства является определение старшинства приоритетов в зависимости от номера ранга приоритета и от номера канала запроса.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является, принятый за прототип, многовыходной указатель старшей единицы (RU №2591017 C1, МПК H03M 7/22, G06F 13/37, G06F 9/46, заявлен 23.07.2015, опубликован 10.07.2016, Бюл. №19), содержащий группу из N внешних входов запроса Z_1, Z_2, \dots, Z_N (высший приоритет имеет вход Z_N), K каскадов (K - количество формируемых указателей старших единиц) и K групп внешних выходов U указателей старшей единицы, при этом каждый i-й каскад ($i=1, 2, \dots, K$) содержит группу из (N-i-1) элементов ИЛИ $1_{i1}, 1_{i2}, \dots, 1_{i(N-i)}$ и группу из (N-i) элементов запрета И с одним инверсным входом $2_{i1}, 2_{i2}, \dots, 2_{i(N-i)}$, а также группу из (N+1-i) входов запроса в i-й каскад $A_{i1}, A_{i2}, \dots, A_{i(N+1-i)}$ и группу из (N+1-i) внешних выходов указателей старшей единицы i-го ранга $U_{i1}, U_{i2}, \dots, U_{i(N+1-i)}$ (1-й ранг имеет высший приоритет), каждый из первых (K-1) каскадов, кроме последнего K-го каскада содержит также группу из (N-i) элементов И $3_{i1}, 3_{i2}, \dots, 3_{i(N-i)}$ и группу из (N-i) выходов запроса $S_{i1}, S_{i2}, \dots, S_{i(N-i)}$ в следующий (i+1)-й каскад.

В данном устройстве определяются указатели старшей единицы в К каскадах, при этом каждому входу запроса присваивается фиксированный приоритет - высший приоритет присвоен входу запроса со старшим номером Z_N , а младший приоритет задан у первого входа запроса Z_1 .

5 Недостатком данного устройства является определение приоритетного указателя старшей единицы для равноранговых запросов в зависимости только от номера текущего запроса в каждом каскаде.

ЗАДАЧА ИЗОБРЕТЕНИЯ

10 Задача, на решение которой направлено предлагаемое изобретение, заключается в создании устройства предназначенного для выявления приоритетного запроса на основе дисциплины кругового арбитража равноранговых входных запросов.

Техническим результатом изобретения является реализация кругового арбитража для равноранговых входных запросов и указания номера приоритетного запроса в виде унитарного кода «1 из N».

15 КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Указанный технический результат при осуществлении изобретения достигается тем, что круговой арбитр диспетчера задач содержит N разрядные внешнюю шину входных заявок IZ и внешнюю шину выходов указателей приоритета QU, внешний вход разрешения работы IE, внешний тактовый вход IC, внешний вход установки в нулевое состояние IR и внешний флаг запроса QF, а также содержит первую группу из (N-2) элементов ИЛИ $1_3, 1_4, \dots, 1_N$, первую группу из (N-1) элементов И $2_2, 2_3, \dots, 2_N$, вторую группу из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$, третью группу из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$, первую группу из (N-1) элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$,
20 вторую группу из N элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$, четвертую группу из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$, элемент ИЛИ 8, элемент И 9, первый регистр 10, триггер 11, второй регистр 12, внутреннюю N разрядную шину данных VD, внутреннюю (N-1) разрядную шину приоритета BU, внутренний флаг разрешения FE, внутренний флаг запроса FU и внутренний флаг нуля FZ,

30 причем внешний вход установки в нулевое состояние IR и внешний тактовый вход IC соединены с соответствующими входами R установки в нулевое состояние и тактовыми входами C первого регистра 10, триггера 11 и второго регистра 12, внешний вход разрешения работы IE соединен с входом разрешения работы SE второго регистра 12 и вторым входом элемента И 9,

35 причем все N разрядов внешней шины входных заявок IZ соединены со вторыми прямыми входами одноименных элементов второй группы из N элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$, а также со второго разряда до N-го разряда внешней шины входных заявок IZ соединены с первыми входами одноименных элементов И первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$, выходы которых, кроме первого
40 элемента И 2_2 , соединены со вторыми входами одноименных элементов второй группы из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$, у которых выходы первых (N-3) элементов ИЛИ $3_3, 3_4, \dots, 3_{(N-1)}$ соединены с первыми входами соответствующих последующих элементов $3_4, 3_5, \dots, 3_N$ из второй группы элементов ИЛИ, а выход первого элемента И 2_2 из
45 первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$ соединен с первым входом первого элемента ИЛИ 3_3 из второй группы элементов ИЛИ и с первым входом первого элемента ИЛИ 4_2 из третьей группы из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$,

кроме того выход последнего N-го элемента ИЛИ 3_N из второй группы элементов ИЛИ является внутренним флагом нуля FZ и соединен с первыми инверсными входами всех элементов второй группы из N элементов И с инверсным входом b_1, b_2, \dots, b_N , вторые входы элементов четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены с выходами одноименных элементов b_2, b_3, \dots, b_N второй группы элементов И с инверсным входом,

причем выходы первых (N-2) элементов $7_2, 7_3, \dots, 7_{(N-1)}$ четвертой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $7_3, 7_4, \dots, 7_N$ из четвертой группы элементов ИЛИ, а выход первого элемента И b_1 из второй группы из N элементов И b_1, b_2, \dots, b_N соединен с первым входом первого элемента ИЛИ 7_2 из четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ и с первым инверсным входом первого элемента И 5_2 из первой группы из (N-1) элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$,

кроме того выходы всех элементов четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены со вторыми входами соответствующих одноименных элементов ИЛИ $4_2, 4_3, \dots, 4_N$ из третьей группы из (N-1) элементов ИЛИ, а выходы элементов второй группы из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$ соединены с первыми входами соответствующих одноименных элементов ИЛИ $4_3, 4_4, \dots, 4_{(N-1)}$ из третьей группы из (N-1) элементов ИЛИ,

причем выходы всех элементов третьей группы из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$ соединены со вторыми прямыми входами соответствующих одноименных элементов И $5_2, 5_3, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом, а также вторые прямые входы первых (N-2) элементов $5_2, 5_3, \dots, 5_{(N-1)}$ из первой группы из (N-1) элементов И с инверсным входом соединены с первыми инверсными входами соответствующих последующих элементов И $5_3, 5_4, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом,

кроме того выходы всех элементов И $5_2, 5_3, \dots, 5_N$ первой группы из (N-1) элементов И с инверсным входом являются одноименными разрядами, начиная со второго разряда до N-го разряда, внутренней N разрядной шины данных BD, у которой первый разряд соединен с выходом первого элемента И b_1 из второй группы из N элементов И b_1, b_2, \dots, b_N ,

причем все N разрядов внутренней шины данных BD соединены с соответствующими входами элемента ИЛИ 8 и с группой информационных D-входов второго регистра 12, выходы которого являются N разрядами внешней шины выходов указателей приоритета QU,

причем первые (N-1) разрядов, начиная с первого разряда до (N-1)-го разряда, внутренней шины данных BD соединены с группой информационных D-входов первого регистра 10, выходы которых являются (N-1) разрядами внутренней шины приоритета BU,

кроме того вторые входы всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены с соответствующими одноименными разрядами, начиная со второго разряда до (N-1)-го разряда, внутренней шины приоритета BU, а выходы

5 всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены со вторыми входами соответствующих одноименных элементов И $2_3, 2_4, \dots, 2_N$ первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$, а первый разряд внутренней шины приоритета BU соединен со вторым входом первого элемента И 2_2 из первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$ и соединен с первым входом первого элемента ИЛИ 1_3 из первой группы из (N-2) элементов $1_3, 1_4, \dots, 1_N$, а выходы первых (N-3) элементов ИЛИ $1_3, 1_4, \dots, 1_{(N-1)}$ первой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $1_4, 1_5, \dots, 1_N$ из первой группы элементов ИЛИ,

10 причем выход элемента ИЛИ 8 является внутренним флагом запроса FU и соединен с первым входом элемента И 9, выход которого является внутренним флагом разрешения FE и соединен с входом разрешения работы SE первого регистра 10 и с информационным D-входом триггера 11, выход которого является внешним флагом запроса QF.

15 КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 представлена схема предлагаемого кругового арбитра диспетчера задач. На фиг. 2 приведена временная диаграмма работы устройства для разрядности N=4 внешней шины входных заявок IZ.

20 На фиг. 1-2 и в тексте введены следующие обозначения:

IZ - внешняя шина входных заявок, содержащая N разрядов,

IS - внешний тактовый вход,

IE - внешний вход разрешения работы,

IR - внешний вход установки в нулевое состояние,

25 QF - внешний флаг запроса,

QU - внешняя шина выходов указателей приоритета, содержащая N разрядов,

VD - внутренняя N разрядная шина данных,

BU - внутренняя (N-1) разрядная шина приоритета,

С - тактовый вход,

30 SE - вход разрешения работы,

FE - внутренний флаг разрешения,

FU - внутренний флаг запроса,

FZ - внутренний флаг нуля,

R - вход установки в нулевое состояние,

35 RG - регистр,

T - триггер,

$1_3, 1_4, \dots, 1_N$ - первая группа из (N-2) элементов ИЛИ (OR),

$2_2, 2_3, \dots, 2_N$ - первая группа из (N-1) элементов И (AND),

40 $3_3, 3_4, \dots, 3_N$ - вторая группа из (N-2) элементов ИЛИ (OR),

$4_2, 4_3, \dots, 4_N$ - третья группа из (N-1) элементов ИЛИ (OR),

$5_2, 5_3, \dots, 5_N$ - первая группа из (N-1) элементов И с инверсным входом (AND),

$6_1, 6_2, \dots, 6_N$ - вторая группа из N элементов И с инверсным входом (AND),

$7_2, 7_3, \dots, 7_N$ - четвертая группа из (N-1) элементов ИЛИ (OR),

45 8 - элемент ИЛИ (OR),

9 - элемент И (AND),

10 - первый регистр,

11 - триггер,

12 - второй выходной регистр.

Предлагаемый круговой арбитр диспетчера задач содержит N разрядные внешнюю шину входных заявок I_Z и внешнюю шину выходов указателей приоритета QU , внешний вход разрешения работы IE , внешний тактовый вход IC , внешний вход установки в нулевое состояние IR и внешний флаг запроса QF .

Предлагаемый арбитр также содержит первую группу из $(N-2)$ элементов ИЛИ $1_3, 1_4, \dots, 1_N$, первую группу из $(N-1)$ элементов И $2_2, 2_3, \dots, 2_N$, вторую группу из $(N-2)$ элементов ИЛИ $3_3, 3_4, \dots, 3_N$, третью группу из $(N-1)$ элементов ИЛИ $4_2, 4_3, \dots, 4_N$, первую группу из $(N-1)$ элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$, вторую группу из N элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$, четвертую группу из $(N-1)$ элементов ИЛИ $7_2, 7_3, \dots, 7_N$, элемент ИЛИ 8, элемент И 9, первый регистр 10, триггер 11, второй регистр 12, внутреннюю N разрядную шину данных BD , внутреннюю $(N-1)$ разрядную шину приоритета BU , внутренний флаг разрешения FE , внутренний флаг запроса FU и внутренний флаг нуля FZ .

Причем внешний вход установки в нулевое состояние IR и внешний тактовый вход IC соединены с соответствующими входами R установки в нулевое состояние и тактовыми входами C первого регистра 10, триггера 11 и второго регистра 12. Внешний вход разрешения работы IE соединен с входом разрешения работы SE второго регистра 12 и вторым входом элемента И 9.

Причем все N разрядов внешней шины входных заявок I_Z соединены со вторыми прямыми входами одноименных элементов второй группы из N элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$, а также со второго разряда до N -го разряда внешней шины входных заявок I_Z соединены с первыми входами одноименных элементов И первой группы из $(N-1)$ элементов И $2_2, 2_3, \dots, 2_N$, выходы которых, кроме первого элемента И 2_2 , соединены со вторыми входами одноименных элементов второй группы из $(N-2)$ элементов ИЛИ $3_3, 3_4, \dots, 3_N$. Выходы первых $(N-3)$ элементов ИЛИ $3_3, 3_4, \dots, 3_{(N-1)}$ соединены с первыми входами соответствующих последующих элементов $3_4, 3_5, \dots, 3_N$ из второй группы элементов ИЛИ. Выход первого элемента И 2_2 из первой группы из $(N-1)$ элементов И $2_2, 2_3, \dots, 2_N$ соединен с первым входом первого элемента ИЛИ 3_3 из второй группы элементов ИЛИ и с первым входом первого элемента ИЛИ 4_2 из третьей группы из $(N-1)$ элементов ИЛИ $4_2, 4_3, \dots, 4_N$.

Кроме того выход последнего N -го элемента ИЛИ 3_N из второй группы элементов ИЛИ является внутренним флагом нуля FZ и соединен с первыми инверсными входами всех элементов второй группы из N элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$. Вторые входы элементов четвертой группы из $(N-1)$ элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены с выходами одноименных элементов $6_2, 6_3, \dots, 6_N$ второй группы элементов И с инверсным входом.

Причем выходы первых $(N-2)$ элементов $7_2, 7_3, \dots, 7_{(N-1)}$ четвертой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $7_3, 7_4, \dots, 7_N$ из четвертой группы элементов ИЛИ. Выход первого элемента И 6_1 из второй группы из N элементов И $6_1, 6_2, \dots, 6_N$ соединен с первым входом первого элемента ИЛИ 7_2 из четвертой группы из $(N-1)$ элементов ИЛИ $7_2, 7_3, \dots, 7_N$ и с первым инверсным входом первого элемента И 5_2 из первой группы из $(N-1)$ элементов И с инверсным

входом $5_2, 5_3, \dots, 5_N$.

Кроме того выходы всех элементов четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены со вторыми входами соответствующих одноименных элементов ИЛИ $4_3, 4_3, \dots, 4_N$ из третьей группы из (N-1) элементов ИЛИ. Выходы элементов второй группы из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$ соединены с первыми входами соответствующих одноименных элементов ИЛИ $4_3, 4_4, \dots, 4_{(N-1)}$ из третьей группы из (N-1) элементов ИЛИ.

Причем выходы всех элементов третьей группы из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$ соединены со вторыми прямыми входами соответствующих одноименных элементов И $5_2, 5_3, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом. Вторые прямые входы первых (N-2) элементов $5_2, 5_3, \dots, 5_{(N-1)}$ из первой группы из (N-1) элементов И с инверсным входом соединены с первыми инверсными входами соответствующих последующих элементов И $5_3, 5_3, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом.

Кроме того выходы всех элементов И $5_2, 5_3, \dots, 5_N$ первой группы из (N-1) элементов И с инверсным входом являются одноименными разрядами, начиная со второго разряда до N-го разряда, внутренней N разрядной шины данных BD, у которой первый разряд соединен с выходом первого элемента И 6_1 из второй группы из N элементов И $6_1, 6_2, \dots, 6_N$.

Причем все N разрядов внутренней шины данных BD соединены с соответствующими входами элемента ИЛИ 8 и с группой информационных D-входов второго регистра 12, выходы которого являются N разрядами внешней шины выходов указателей приоритета QU.

Причем первые (N-1) разрядов, начиная с первого разряда до (N-1)-го разряда, внутренней шины данных BD соединены с группой информационных D-входов первого регистра 10, выходы которых являются (N-1) разрядами внутренней шины приоритета VU.

Кроме того вторые входы всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены с соответствующими одноименными разрядами, начиная со второго разряда до (N-1)-го разряда, внутренней шины приоритета VU. Выходы всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены со вторыми входами соответствующих одноименных элементов И $2_3, 2_4, \dots, 2_N$ первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$. Первый разряд внутренней шины приоритета VU соединен со вторым входом первого элемента И 2_2 из первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$ и соединен с первым входом первого элемента ИЛИ 1_3 из первой группы из (N-2) элементов $1_3, 1_4, \dots, 1_N$. Выходы первых (N-3) элементов ИЛИ $1_3, 1_4, \dots, 1_{(N-1)}$ первой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $1_4, 1_5, \dots, 1_N$ из первой группы элементов ИЛИ.

Причем выход элемента ИЛИ 8 является внутренним флагом запроса FU и соединен с первым входом элемента И 9, выход которого является внутренним флагом разрешения FE и соединен с входом разрешения работы SE первого регистра 10 и с информационным D-входом триггера 11, выход которого является внешним флагом запроса QF.

ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем.

В устройстве всем сигналам запросов (N разрядам входной шины заявок IZ) установлены равные приоритеты. В начале работы, при инициализации арбитра, высший приоритет установлен для заявки с меньшим номером, поэтому анализ запросов начинается с первого запроса $IZ1$. Далее арбитр предоставляет приоритет в обслуживании на основе дисциплины круговой диспетчеризации - анализируются запросы с увеличением номеров разрядов шины запросов IZ . При достижении старшего N -го разряда запроса IZN , вновь анализируется первый запрос $IZ1$ и т.д.

В результате анализа сигналов запросов с шины IZ формируется единичное значение сигнала указателя высшего приоритета, которое по фронту следующего тактового сигнала IC записывается во второй выходной регистр 12 и поступает в виде единичного унитарного кода «1 из N » текущего указателя приоритетного запроса на выходную шину QU . Одновременно формируется единичное значение внешнего флага запроса $QF=1$ при наличии единичных сигналов запроса. При отсутствии единичных сигналов запроса на шине IZ или нулевом значении на внешнем входе разрешения работы $IE=0$ нулевые значения устанавливаются во всех N разрядах внешней шины выходов указателей приоритета QU и внешнего флага запроса $QF=0$.

В процессе работы в первом регистре 10 фиксируется номер последнего разрешенного запроса, а значения с выходов регистра 10 передаются со сдвигом на один разряд в сторону старших разрядов на первую группу $1_3, 1_4, \dots, 1_N$ элементов ИЛИ.

На выходах элементов ИЛИ, объединенных в цепочки, в первой группе $1_3, 1_4, \dots, 1_N$, второй группе $3_3, 3_4, \dots, 3_N$ и четвертой группе $7_2, 7_3, \dots, 7_N$ коды соответствующих запросов преобразуются в упорядоченную последовательность единичных значений (унитарный позиционный ряд $11\dots100\dots0$), где правая (младшая) единица соответствует номеру текущего приоритетного запроса. В первой группе $1_3, 1_4, \dots, 1_N$ элементов ИЛИ единичные значения на выходах разрешают передачу следующих запросов, с большими номерами относительно предыдущего приоритетного разряда установленного на первом регистре 10 , с входной шины заявок IZ через первую группу элементов $И 2_2, 2_3, \dots, 2_N$, на соответствующие входы второй группы $3_3, 3_4, \dots, 3_N$ элементов ИЛИ.

При отсутствии единичных значений в последующих разрядах, включительно до N -го старшего разряда входной шины заявок IZ , формируется нулевое значение внутреннего флага нуля $FZ=0$, по которому разрешается передача значений разрядов с шины входных заявок IZ через вторую группу элементов $И$ с инверсным входом $б_1, б_2, \dots, б_N$ на соответствующие входы четвертой группы $7_2, 7_3, \dots, 7_N$ элементов ИЛИ. Аналогично в начале работы устройства, когда в первом регистре 10 нулевые значения установлены во всех разрядах, формируется нулевое значение внутреннего флага нуля $FZ=0$. Поэтому первичная передача значений N разрядов с шины входных заявок IZ осуществляется также через вторую группу элементов $И$ с инверсным входом $б_1, б_2, \dots, б_N$ и четвертую группу $7_2, 7_3, \dots, 7_N$ элементов ИЛИ.

Таким образом, через третью группу $4_2, 4_3, \dots, 4_N$ элементов ИЛИ осуществляется передача следующих запросов (в виде унитарного позиционного ряда $11\dots100\dots0$) с выходов второй группы $3_3, 3_4, \dots, 3_N$ (при $FZ=1$) или четвертой группы $7_2, 7_3, \dots, 7_N$ элементов ИЛИ (при $FZ=0$). Далее на выходе только одного элемента из первой группы элементов запрета $И$ с одним инверсным входом $5_2, 5_3, \dots, 5_N$, на входы которого

поданы значения «10», формируется единичное значение, указывающее на следующий приоритетный запрос, а на остальных выходах будет установлено нулевое значение. Значения с выходов первой группы элементов запрета И с одним инверсным входом $5_2, 5_3, \dots, 5_N$ и с выхода первого элемента 6_1 из второй группы элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ передаются на соответствующие одноименные N разрядов внутренней шины данных ВD в виде единичного унитарного кода «1 из N». При этом младший первый разряд IZ1 с шины входных заявок IZ передается только через вторую группу элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ и анализируется только в четвертой группе элементов ИЛИ $7_2, 7_3, \dots, 7_N$.

При наличии единичных значений запросов на шине заявок IZ и формировании единичного унитарного кода «1 из N» на внутренней шине данных ВD также формируется единичное значение внутреннего флага запроса FU=1, по которому при единичном значении на внешнем входе разрешения работы IE=1 формируется единичное значение внутреннего флага разрешения FE=1, по которому далее разрешается запись номера разряда текущего приоритета в первый регистр 10 и далее передается на внутреннюю шину приоритета ВU. Кроме того значение флага FE записывается в триггер 11 и передается на выход внешнего флага запроса QF, а также при единичном значении на внешнем входе разрешения работы IE=1 значение с внутренней шины данных ВD записывается во второй выходной регистр 12 и передается на N разрядов внешней шины выходов указателей приоритета QU.

Предлагаемое устройство работает следующим образом.

На фиг. 2 приведена временная диаграмма работы устройства для разрядности N=4 внешней шины входных заявок IZ.

Устройство начинает работать после подачи единичного сигнала на внешний вход IR установки в нулевое состояние. При этом синхронно по фронту тактового сигнала 1С (момент времени t_0 , такт 1 на фиг. 2) в нулевое состояние устанавливаются первый 10 и второй 12 регистры и триггер 11. При этом также устанавливаются нулевые значения внешнего флага запроса QF=0, внутреннего флага нуля FZ=0, внутреннего флага запроса FU=0, внутреннего флага разрешения FE=0 и нулевые значения всех разрядов внутренней шины данных ВD=0, внутренней шины приоритета ВU=0 и внешней шины выходов указателей приоритета QU=0.

Далее на внешнюю шину входных заявок IZ поступают значения N разрядов соответствующих запросов. В момент времени t_1 на фиг. 2 поступает код IZ[4-1]=0110, а также устанавливается единичное значение на внешнем входе разрешения работы IE=1. Так как установлено нулевое значение флага нуля FZ=0, то разрешается передача кода IZ[4-1]=0110 через вторую группу элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ (AND6[4-1]=0110), по которому далее на выходах четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ будет установлен код OR7[4-2]=111, который далее через третью группу элементов ИЛИ $4_2, 4_3, \dots, 4_N$ (OR4[4-2]=111) передается на соответствующие входы первой группы элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$, на выходах которых будет установлен код AND5[4-2]=001, который передается на соответствующие одноименные разряды внутренней шины данных ВD, а также в первый разряд передается нулевое значение с выхода первого элемента И 6_1 . Таким образом, на внутренней шине данных ВD установлен код ВD[4-1]=0010, соответствующий приоритету второго разряда шины входных заявок IZ2. Далее формируется единичное значение внутреннего флага запроса FU=1, по которому при единичном значении на внешнем входе разрешения

работы $IE=1$ формируется единичное значение внутреннего флага разрешения $FE=1$.

В такте 2 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD соответствующего кода в первый регистр 10 и второй регистр 12 и далее передача значений на соответствующие шины $BU[3-1]=010$ и $QU[4-1]=0010$, а также при единичном значении флага разрешения $FE=1$ осуществляется установка в единичное состояние триггера 11 и внешнего флага запроса $QF=1$. При этом по значениям с внутренней шины приоритета $BU[3-1]=010$ на выходах первой группы $1_3, 1_4, \dots, 1_N$ элементов ИЛИ устанавливается код $OR1[4-3]=11$, по которому разрешается передача значений третьего и четвертого разрядов с шины входных заявок $IZ[4-1]=0110$ и на выходах первой группы $2_2, 2_3, \dots, 2_N$ элементов И устанавливается код $AND2[4-2]=010$, в котором установлено нулевое значение запроса от второго разряда $IZ2$ и единичное значение от третьего разряда $IZ3$. Далее на выходах второй группы $3_3, 3_4, \dots, 3_N$ элементов ИЛИ устанавливается код $OR3[4-3]=11$. При этом устанавливается единичное значение флага нуля $FZ=1$, по которому запрещается передача значений запросов с шины входных заявок IZ через вторую группу элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$, на выходах которых устанавливаются нулевые значения $(AND6[4-1])=0000$ и далее на выходах четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ ($OR7[4-2]=000$). Поэтому на выходах третьей группы элементов ИЛИ $4_2, 4_3, \dots, 4_N$ устанавливается код $OR4[4-2]=110$ с выходов второй группы $3_3, 3_4, \dots, 3_N$ элементов ИЛИ, по которому на выходах первой группы элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$ устанавливается код $(AND5[4-2])=010$, который передается на разряды внутренней шины данных $BD=0100$, соответствующий приоритету следующего третьего разряда шины входных заявок $IZ3$, так как запрос по второму разряду $IZ2$ уже был обработан по фронту такта 2. При этом также сохраняются единичные значения внутреннего флага запроса $FLN=1$ и внутреннего флага разрешения $FE=1$.

В такте 3 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD соответствующих кодов в первый регистр 10 и второй регистр 12 и передача значений на соответствующие шины $BU[3-1]=100$ и $QU[4-1]=0100$, а также сохраняется единичное состояние триггера 11 и внешнего флага запроса $QF=1$. Далее на выходах первой группы $1_3, 1_4, \dots, 1_N$ элементов ИЛИ устанавливается код $OR1[4-3]=10$, по которому разрешается передача значения четвертого разряда с шины входных заявок $IZ4$, на котором установлено нулевое значение, поэтому на выходах первой группы элементов И устанавливается код $AND2[4-2]=000$. При этом устанавливается нулевое значение флага нуля $FZ=0$, по которому разрешается передача кода $IZ[4-1]=0110$ через вторую группу элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ ($AND6[4-1]=0110$) и далее на выходах четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ будет установлен код $OR7[4-2]=111$. Далее, аналогично как было приведено после момента времени $t1$, на внутренней шине данных BD будет установлен код $BD[4-1]=0010$, соответствующий приоритету второго разряда шины входных заявок $IZ2$.

В момент времени $t2$ на внешнюю шину входных заявок IZ поступают нулевые значения по всем разрядам $IZ[4-1]=0000$. Так как при этом установлено нулевое значение флага нуля $FZ=0$, то далее нулевые значения последовательно устанавливаются на выходах второй группы элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ ($AND6[4-1]=0000$), четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ ($OR7[4-2]=000$), третьей группы элементов ИЛИ $4_2, 4_3, \dots, 4_N$ ($OR4[4-2]=000$), первой группы элементов И с инверсным

входом $5_2, 5_3, \dots, 5_N$ ($AND5[4-2]=000$) и внутренней шины данных $BD[4-1]=0000$. При этом также устанавливаются нулевые значения внутреннего флага запроса $FU=0$ и внутреннего флага разрешения $FE=0$.

5 В такте 4 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD нулевого кода во второй регистр 12 и передача на внешнюю выходную шину указателей приоритета $QU[4-1]=0000$, а также установка в нулевое состояние триггера 11 и внешнего флага запроса $QF=0$. При этом при нулевом значении внутреннего флага разрешения $FE=0$ запрещена запись в первый регистр 10, в котором сохраняется значение $BU=100$ соответствующее последнему единичному запросу 10 третьего разряда $IZ3$, а далее также сохраняется код $OR1[4-3]=10$ на выходах первой группы $1_3, 1_4, \dots, 1_N$ элементов ИЛИ.

15 В момент времени $t3$ на фиг. 2 на внешнюю шину входных заявок поступает код $IZ[4-1]=1010$, для которого на выходах первой группы $2_2, 2_3, \dots, 2_N$ элементов И устанавливается код $AND2[4-2]=100$, в котором установлено единичное значение от четвертого разряда $IZ4$, которое далее передается на внутреннюю шину данных $BD[4-1]=1000$ и формируются единичные значения внутреннего флага запроса $FU=1$ и внутреннего флага разрешения $FE=1$.

20 В такте 5 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD соответствующих кодов в первый регистр 10 и второй регистр 12 и далее передача значений на соответствующие шины $BU[3-1]=000$ и $QU[4-1]=1000$, а также при единичном значении флага разрешения $FE=1$ осуществляется установка в единичное состояние триггера 11 и внешнего флага запроса $QF=1$. При нулевом значении на внутренней шине $BU[3-1]=000$ формируется нулевое значение на выходах первой группы 25 $1_3, 1_4, \dots, 1_N$ элементов ИЛИ ($OR1[4-3]=00$), далее на выходах первой группы элементов И $2_2, 2_3, \dots, 2_N$ устанавливается код $AND2[4-2]=000$ и устанавливается нулевое значение флага нуля $FZ=0$, по которому разрешается передача кода $IZ[4-1]=1010$ через вторую группу элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ ($AND6[4-1]=1010$). Далее на 30 выходах четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ будет установлен код $OR7[4-2]=111$ и поэтому далее на внутренней шине данных BD будет установлен код $BD[4-1]=0010$ соответствующий следующему единичному значению - второму разряду $IZ2$, а также сохраняются единичные значения внутреннего флага запроса $FU=1$ и внутреннего флага разрешения $FE=1$.

35 В момент времени $t4$ на фиг. 2 на внешнюю шину входных заявок поступает код $IZ[4-1]=0011$ и так как установлено нулевое значение флага нуля $FZ=0$, то на выходах второй группы элементов И с инверсным входом $6_1, 6_2, \dots, 6_N$ устанавливается код $AND6[4-1]=0011$ и далее на выходах четвертой группы элементов ИЛИ $7_2, 7_3, \dots, 7_N$ 40 будет сохраняется код $OR7[4-2]=111$, по которому далее на внутренней шине данных BD будет установлен код $BD[4-1]=0001$ соответствующий следующему единичному значению первого разряда $IZ1$.

45 Далее в такте 6 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD соответствующих кодов в первый регистр 10 и второй регистр 12 и передача значений на соответствующие шины $BU[3-1]=001$ и $QU[4-1]=0001$, а также сохраняется единичное состояние триггера 11 и внешнего флага запроса $QF=1$.

В момент времени $t5$ на фиг. 2 задается нулевое значение на внешнем входе разрешения работы $IE=0$, по которому формируется нулевое значение внутреннего флага разрешения $FE=0$. Поэтому далее в такте 7 по фронту тактового сигнала IC

запрещена запись в первый регистр 10 (при FE=0), в котором сохраняется значение BU [3-1]=001 соответствующее последнему единичному запросу первого разряда IZ1, а также сохраняется код OR1[4-3]=11 на выходах первой группы 1₃, 1₄, ..., 1_N элементов ИЛИ. Кроме того одновременно запрещается запись во второй регистр 12 (при IE=0),
 5 в котором сохраняется значение QU[4-1]=0001, и устанавливается в нулевое состояние триггер 11 и внешний флаг запроса QF=0.

В момент времени t₆ на фиг. 2 задается единичное значение на внешнем входе разрешения работы IE=1 по которому в такте 8 по фронту тактового сигнала IC осуществляется запись с внутренней шины данных BD соответствующих кодов в первый
 10 регистр 10 и второй регистр 12 и передача значений на соответствующие шины BU[3-1]=001 и QU[4-1]=0010, а также устанавливается единичное состояние триггера И и внешнего флага запроса QF=1.

В момент времени t₇ на фиг. 2 на внешнюю шину входных заявок поступает код IZ [4-1]=1001, для которого аналогично рассмотренному выше алгоритму формируются
 15 соответствующие значения указателей приоритета, которые передаются на внешнюю шину QU выходов указателей приоритета в такте 9 код QU[4-1]=1000 и в такте 10 код OU[4-1]=0001. Одновременно сохраняется единичное состояние триггера 11 и внешнего флага запроса QF=1.

Таким образом, в предлагаемом устройстве на группе внешних выходов указателей
 20 приоритета QU1, QU2, ..., QUN будут установлены значения приоритетного разряда в виде унитарного кода «1 из N», а также формируется единичное значение внешнего флага запроса QF=1 при наличии единичных значений запросов на внешней шине входных заявок IZ или устанавливаются нулевые значения на внешней шине выходов указателей приоритета QU и формируется нулевое значение внешнего флага запроса
 25 QF=0 при отсутствии сигналов запроса (нулевых значениях) во всех разрядах входной шины IZ или нулевом значении на внешнем входе разрешения работы IE=0.

Вышеизложенные сведения позволяют сделать вывод, что предлагаемый круговой арбитр диспетчера задач обладает регулярностью узлов и связей и соответствует
 30 заявляемому техническому результату - реализация кругового арбитража для равноранговых входных запросов и указания номера приоритетного запроса в виде унитарного кода «1 из N».

(57) Формула изобретения

Круговой арбитр диспетчера задач, содержащий N разрядные внешнюю шину
 35 входных заявок IZ и внешнюю шину выходов указателей приоритета QU, внешний вход разрешения работы IE, внешний тактовый вход IC, внешний вход установки в нулевое состояние IR и внешний флаг запроса QF,

также содержит первую группу из (N-2) элементов ИЛИ 1₃, 1₄, ..., 1_N, первую группу
 40 из (N-1) элементов И 2₂, 2₃, ..., 2_N, вторую группу из (N-2) элементов ИЛИ 3₃, 3₄, ..., 3_N, третью группу из (N-1) элементов ИЛИ 4₂, 4₃, ..., 4_N, первую группу из (N-1) элементов И с инверсным входом 5₂, 5₃, ..., 5_N, вторую группу из N элементов И с инверсным входом 6₁, 6₂, ..., 6_N, четвертую группу из (N-1) элементов ИЛИ 7₂, 7₃, ..., 7_N, элемент ИЛИ 8, элемент И 9, первый регистр 10, триггер 11, второй регистр 12, внутреннюю N
 45 разрядную шину данных BD, внутреннюю (N-1) разрядную шину приоритета BU, внутренний флаг разрешения FE, внутренний флаг запроса FU и внутренний флаг нуля FZ,

причем внешний вход установки в нулевое состояние IR и внешний тактовый вход

ИС соединены с соответствующими входами R установки в нулевое состояние и тактовыми входами С первого регистра 10, триггера 11 и второго регистра 12, внешний вход разрешения работы IE соединен с входом разрешения работы SE второго регистра 12 и вторым входом элемента И 9,

5 причем все N разрядов внешней шины входных заявок IZ соединены со вторыми прямыми входами одноименных элементов второй группы из N элементов И с инверсным входом b_1, b_2, \dots, b_N , а также со второго разряда до N-го разряда внешней
10 шины входных заявок IZ соединены с первыми входами одноименных элементов И первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$, выходы которых, кроме первого элемента И 2_2 , соединены со вторыми входами одноименных элементов второй группы из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$, у которых выходы первых (N-3) элементов ИЛИ $3_3, 3_4, \dots, 3_{(N-1)}$ соединены с первыми входами соответствующих последующих элементов $3_3, 3_4, \dots, 3_N$ из второй группы элементов ИЛИ, а выход первого элемента И 2_2 из
15 первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$ соединен с первым входом первого элемента ИЛИ 3_3 из второй группы элементов ИЛИ и с первым входом первого элемента ИЛИ 4_2 из третьей группы из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$,

кроме того, выход последнего N-го элемента ИЛИ 3_N из второй группы элементов
20 ИЛИ является внутренним флагом нуля FZ и соединен с первыми инверсными входами всех элементов второй группы из N элементов И с инверсным входом b_1, b_2, \dots, b_N , вторые входы элементов четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены с выходами одноименных элементов b_2, b_3, \dots, b_N второй группы элементов
25 И с инверсным входом,

причем выходы первых (N-2) элементов $7_2, 7_3, \dots, 7_{(N-1)}$ четвертой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $7_3, 7_4, \dots, 7_N$ из четвертой группы элементов ИЛИ, а выход первого элемента И 6_1 из второй
30 группы из N элементов И $6_1, 6_2, \dots, 6_N$ соединен с первым входом первого элемента ИЛИ 7_2 из четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ и с первым инверсным входом первого элемента И 5_2 из первой группы из (N-1) элементов И с инверсным входом $5_2, 5_3, \dots, 5_N$,

35 кроме того, выходы всех элементов четвертой группы из (N-1) элементов ИЛИ $7_2, 7_3, \dots, 7_N$ соединены со вторыми входами соответствующих одноименных элементов ИЛИ $4_2, 4_3, \dots, 4_N$ из третьей группы из (N-1) элементов ИЛИ, а выходы элементов второй группы из (N-2) элементов ИЛИ $3_3, 3_4, \dots, 3_N$ соединены с первыми входами соответствующих одноименных элементов ИЛИ $4_3, 4_4, \dots, 4_{(N-1)}$ из третьей группы из
40 (N-1) элементов ИЛИ,

причем выходы всех элементов третьей группы из (N-1) элементов ИЛИ $4_2, 4_3, \dots, 4_N$ соединены со вторыми прямыми входами соответствующих одноименных элементов И $5_2, 5_3, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом, а также
45 вторые прямые входы первых (N-2) элементов $5_2, 5_3, \dots, 5_{(N-1)}$ из первой группы из (N-1) элементов И с инверсным входом соединены с первыми инверсными входами соответствующих последующих элементов И $5_3, 5_4, \dots, 5_N$ из первой группы из (N-1) элементов И с инверсным входом,

кроме того, выходы всех элементов И $5_2, 5_3, \dots, 5_N$ первой группы из (N-1) элементов И с инверсным входом являются одноименными разрядами, начиная со второго разряда до N-го разряда, внутренней N разрядной шины данных BD, у которой первый разряд соединен с выходом первого элемента И 6_1 из второй группы из N элементов И $6_1, 6_2, \dots, 6_N$,

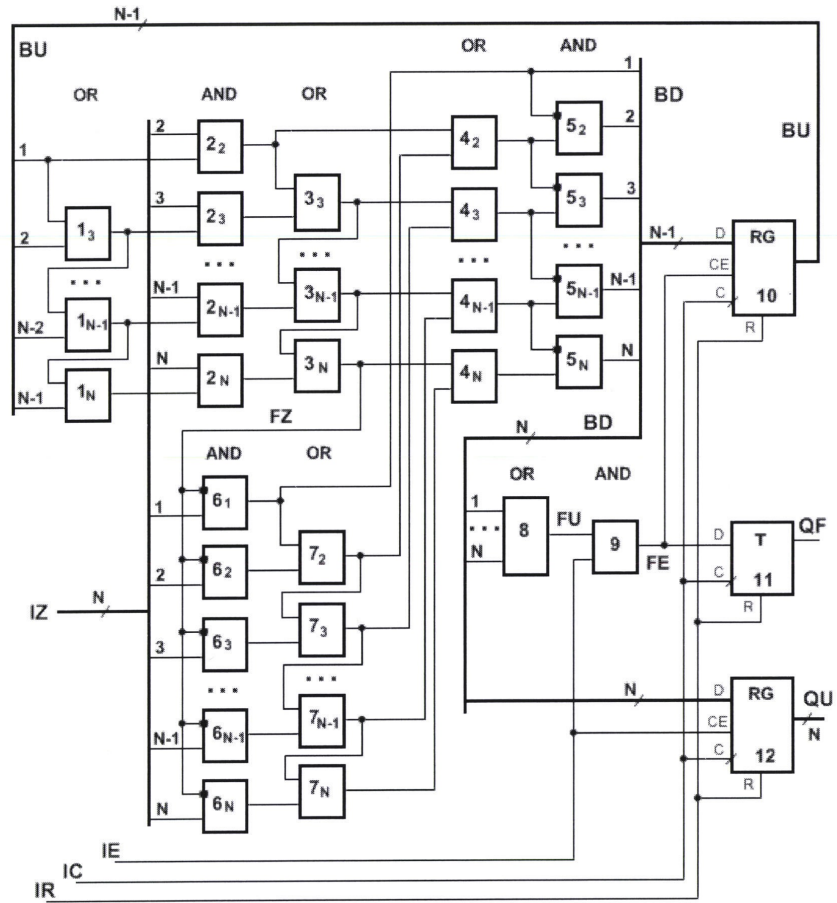
причем все N разрядов внутренней шины данных BD соединены с соответствующими входами элемента ИЛИ 8 и с группой информационных D-входов второго регистра 12, выходы которого являются N разрядами внешней шины выходов указателей приоритета QU,

причем первые (N-1) разрядов, начиная с первого разряда до (N-1)-го разряда, внутренней шины данных BD соединены с группой информационных D-входов первого регистра 10, выходы которых являются (N-1) разрядами внутренней шины приоритета ВU,

кроме того, вторые входы всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены с соответствующими одноименными разрядами, начиная со второго разряда до (N-1)-го разряда, внутренней шины приоритета ВU, а выходы всех элементов ИЛИ $1_3, 1_4, \dots, 1_N$ первой группы из (N-2) элементов ИЛИ соединены со вторыми входами соответствующих одноименных элементов И $2_3, 2_4, \dots, 2_N$ первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$, а первый разряд внутренней шины приоритета ВU соединен со вторым входом первого элемента И 2_2 из первой группы из (N-1) элементов И $2_2, 2_3, \dots, 2_N$ и соединен с первым входом первого элемента ИЛИ 1_3 из первой группы из (N-2) элементов $1_3, 1_4, \dots, 1_N$, а выходы первых (N-3) элементов ИЛИ $1_3, 1_4, \dots, 1_{(N-1)}$ первой группы элементов ИЛИ соединены с первыми входами соответствующих последующих элементов $1_4, 1_5, \dots, 1_N$ из первой группы элементов ИЛИ,

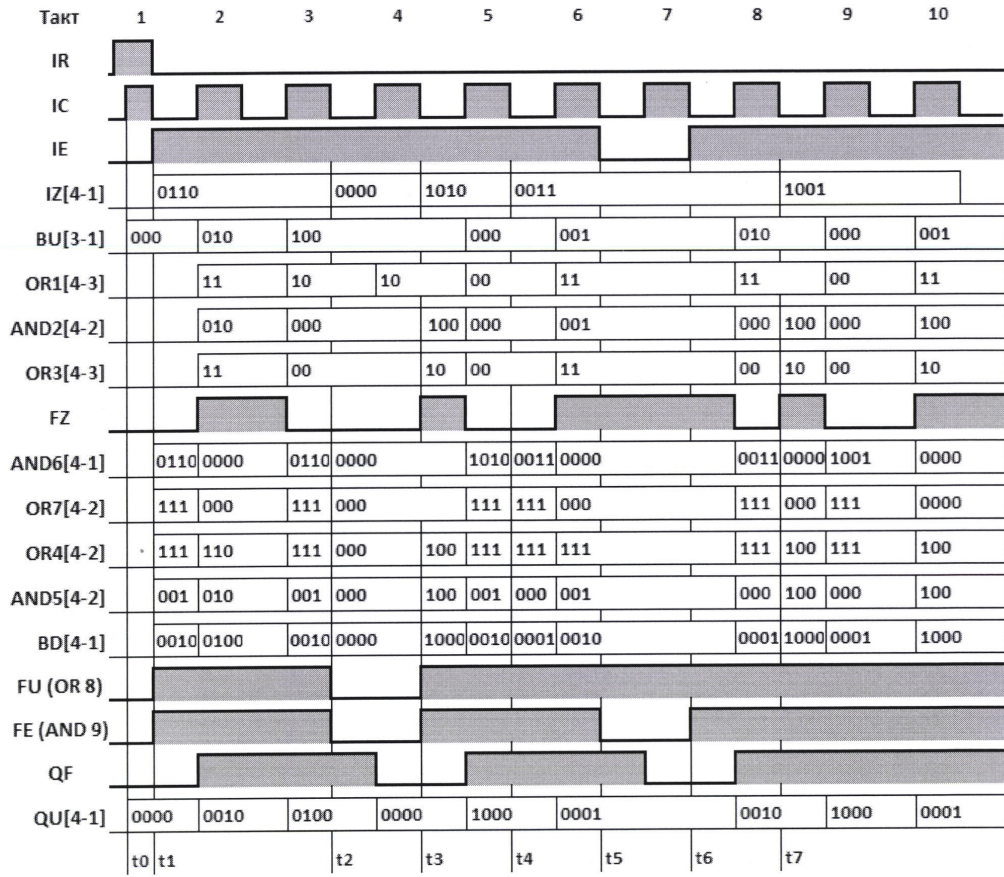
причем выход элемента ИЛИ 8 является внутренним флагом запроса FU и соединен с первым входом элемента И 9, выход которого является внутренним флагом разрешения FE и соединен с входом разрешения работы SE первого регистра 10 и с информационным D-входом триггера 11, выход которого является внешним флагом запроса QF.

1



Фиг. 1

2



Фиг. 2