



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК  
G06F 7/74 (2023.08); H03K 21/00 (2023.08)

(21)(22) Заявка: 2023109068, 11.04.2023

(24) Дата начала отсчета срока действия патента:  
11.04.2023

Дата регистрации:  
13.11.2023

Приоритет(ы):  
(22) Дата подачи заявки: 11.04.2023

(45) Опубликовано: 13.11.2023 Бюл. № 32

Адрес для переписки:  
115409, Москва, Каширское ш., 31, НИЯУ  
МИФИ, ОУИС УНИ, Бейгул Г.В.

(72) Автор(ы):  
Новиков Григорий Григорьевич (RU),  
Ядыкин Игорь Михайлович (RU)

(73) Патентообладатель(и):  
федеральное государственное автономное  
образовательное учреждение высшего  
образования "Национальный  
исследовательский ядерный университет  
МИФИ" (НИЯУ МИФИ) (RU)

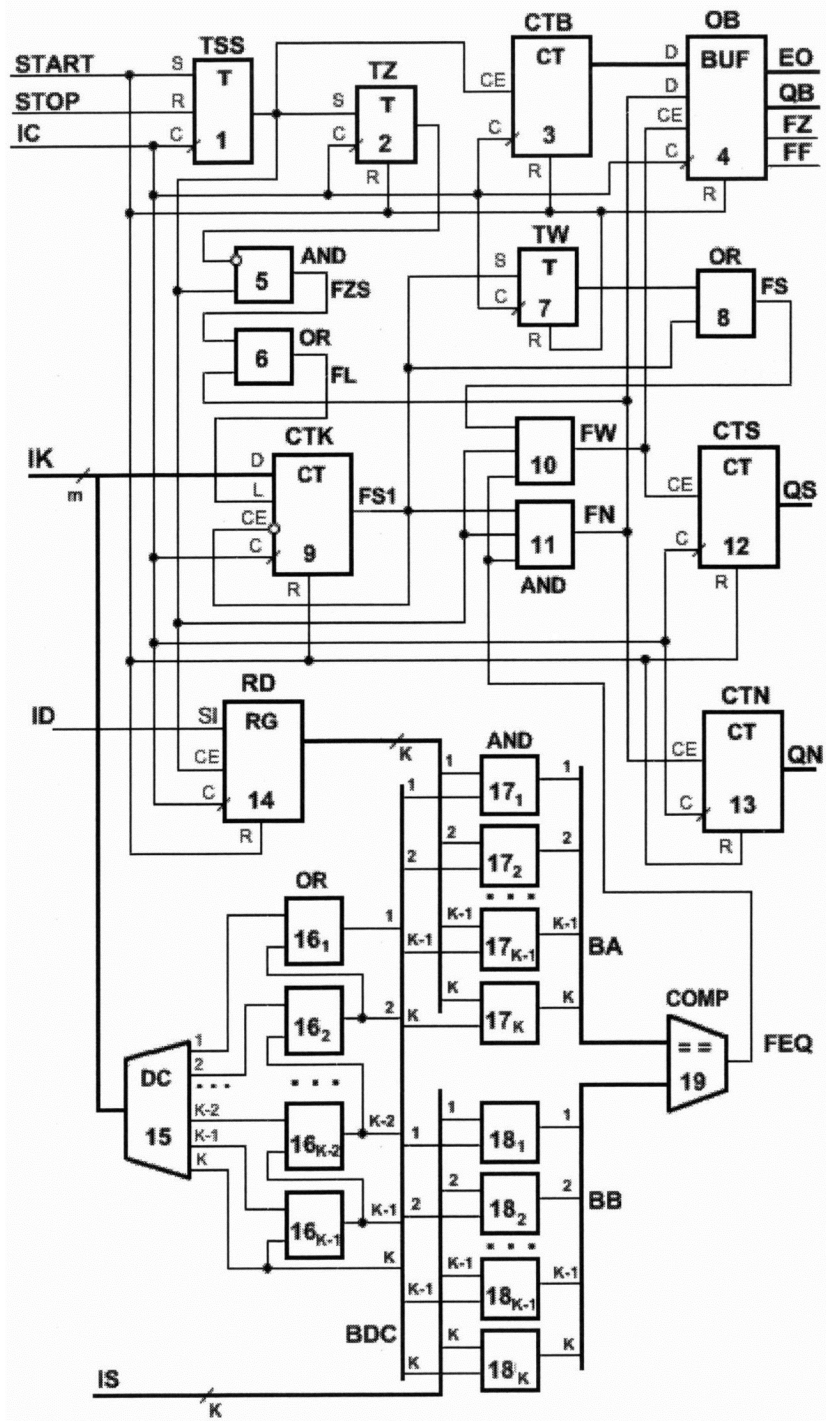
(56) Список документов, цитированных в отчете  
о поиске: RU 2680759 C1, 26.02.2019. RU  
2728957 C1, 03.08.2020. RU 2763859 C1,  
11.01.2022. RU 2787294 C1, 09.01.2023. US  
9582664 B2, 28.02.2017. US 7295674 B2,  
13.11.2007.

## (54) УСТРОЙСТВО ДЛЯ ДЕТЕКТИРОВАНИЯ ПЕРЕКРЫВАЮЩИХСЯ И НЕПЕРЕКРЫВАЮЩИХСЯ ШАБЛОНОВ БИТ В ДВОИЧНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ

(57) Реферат:

Изобретение относится к устройству для детектирования перекрывающихся и неперекрывающихся шаблонов бит в двоичной последовательности. Технический результат заключается в возможности детектирования перекрывающихся и неперекрывающихся шаблонов во входной последовательности данных. Устройство содержит вход данных ID, группы внешних входов шаблона IS и задания разрядности входного шаблона IK, группы внешних выходов данных QB, количества перекрывающихся шаблонов QS и количества неперекрывающихся шаблонов QN, а также содержит первый RS-триггер пуска-останова TSS 1, второй триггер задержки TZ 2, первый счетчик бит СТВ 3, выходной буфер ОВ 4, первый элемент И с инверсным входом 5, первый элемент ИЛИ 6, третий триггер записи TW 7, второй элемент ИЛИ 8, второй вычитающий счетчик разрядов шаблона СТК 9, второй элемент И 10, третий элемент И 11, третий счетчик количества

перекрывающихся шаблонов СТС 12, четвертый счетчик количества неперекрывающихся шаблонов СТН 13, регистр сдвига входных данных RD 14, дешифратор DC 15, группу из (K-1) элементов ИЛИ 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(K-1)</sub>, первую группу из K элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>, вторую группу из K элементов И 18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>K</sub> и компаратор COMP 19, а также в него введены внешние входы тактового сигнала IC, пуска устройства START, остановки устройства STOP и внутренние шины дешифрации разрядов BDC, первого операнда сравнения ВА и второго операнда сравнения ВВ, внутренние флаги равенства FEQ, загрузки счетчика СТК FL, неперекрывающихся шаблонов FN, разрешения шаблонов FS, первого состояния счетчика СТК FS1, задержки старта FZS и записи FW, внешняя шина управления обменом EO, внешние флаг «Буфер заполнен» FF и флаг «Буфер пуст» FZ. 3 ил.



Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*G06F 7/74* (2006.01)  
*H03K 21/00* (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*G06F 7/74* (2023.08); *H03K 21/00* (2023.08)

(21)(22) Application: **2023109068, 11.04.2023**

(24) Effective date for property rights:  
**11.04.2023**

Registration date:  
**13.11.2023**

Priority:  
(22) Date of filing: **11.04.2023**

(45) Date of publication: **13.11.2023** Bull. № 32

Mail address:  
**115409, Moskva, Kashirskoe sh., 31, NIYAU MIFI,  
OUIS UNI, Bejgul G.V.**

(72) Inventor(s):  
**Novikov Grigorij Grigorevich (RU),  
Yadykin Igor Mikhailovich (RU)**

(73) Proprietor(s):  
**federalnoe gosudarstvennoe avtonomnoe  
obrazovatelnoe uchrezhdenie vysshego  
obrazovaniya "Natsionalnyj issledovatel'skij  
yadernyj universitet MIFI" (NIYAU MIFI) (RU)**

(54) **DEVICE FOR DETECTING OVERLAPPED AND NON-OVERLAPPED BIT PATTERNS IN BINARY SEQUENCE**

(57) Abstract:

FIELD: information technologies.

SUBSTANCE: invention relates to a device for detecting overlapping and non-overlapping bit patterns in a binary sequence. The device contains an ID data input, a group of external inputs of the IS pattern and setting the width of the input pattern IK, a group of external data outputs QB, a number of overlapping patterns QS and a number of non-overlapping patterns QN, and also contains a first RS start-stop trigger TSS 1, a second delay trigger TZ 2, first bit counter STV 3, output buffer OB 4, first AND element with inverse input 5, first OR element 6, third write trigger TW 7, second OR element 8, second subtractive bit counter of the STC template 9, second AND element 10, third element AND 11, third counter for the number of overlapping patterns CTS 12, fourth counter for the number of non-overlapping patterns CTN 13, input data

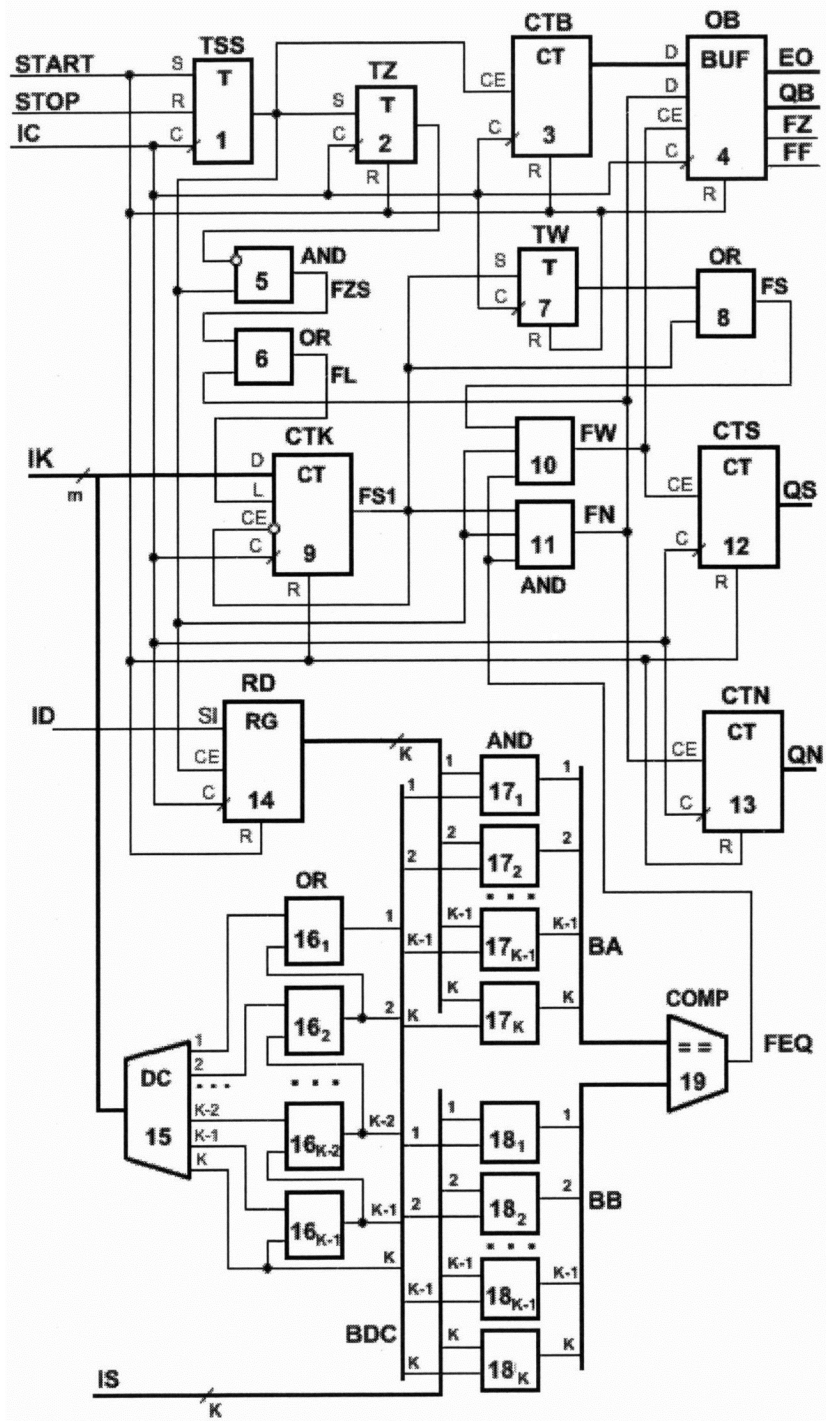
shift register RD 14, decoder DC 15, group of (K-1) elements OR 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(K-1)</sub>, the first group of K elements AND 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>, second group of K elements AND 18<sub>1</sub>, 18<sub>2</sub>, ... 18<sub>K</sub> and comparator COMP 19, as well as external inputs of clock signal IC, start device START, stop device STOP and internal buses of decryption of digits BDC, first comparison operand BA and second comparison operand BB, internal equality flags FEQ, loading of counter STC FL, non-overlapping patterns FN, resolution of FS patterns, first state of the counter STC FS1, start delay FZS and recording FW, external exchange control bus EO, external flag "Buffer full" FF and flag "Buffer empty" FZ.

EFFECT: possibility of detecting overlapping and non-overlapping patterns in the input data sequence.

1 cl, 3 dwg

RU 2 807 299 C1

RU 2 807 299 C1



## ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области вычислительной техники, в частности к устройствам обработки данных, и может быть использовано для построения функциональных узлов для анализа свойств генераторов псевдослучайных последовательностей двоичных чисел, фильтрации событий, обработки сигналов, изображений и результатов физических экспериментов.

## ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ

Известно устройство для детектирования групп в бинарной последовательности (RU №2728957, МПК G06F 7/74, H03K 21/00 заявлено 15.01.2020, опубликовано 03.08.2020, Бюл. №22), содержащее внешний вход данных DI, группу внешних выходов данных QO, группу внешних выходов количества групп QG, группу внешних выходов количества нулей QZ, группу внешних выходов количества единиц QU, группу внешних выходов «разность единиц и нулей» QZU, группы внешних выходов количества единиц в максимальной группе MU, количества нулей в максимальной группе MZ, номера группы максимальной группы единиц NGMU, номера группы максимальной группы нулей NGMZ, номера начала максимальной группы единичных бит NMU и номера начала максимальной группы нулевых бит NMZ, первый RS-триггер пуска-останова TSS 1, блок детектора единиц и нулей 2, третий D-триггер разрешения счета групп TCE 7, третий элемент И 8, первый сумматор SMG 9, второй счетчик бит СВ 10, выходной буфер ОВ 11, четвертый 12, пятый 13 и шестой 14 элементы И, третий счетчик нулей CZ 15, четвертый счетчик единиц CU 16, пятый реверсивный счетчик нулей-единиц CZU 17 и блок преобразователя кода разности 18, первый счетчик CNB 22, первый регистр RNM 23, второй сумматор SNM 24, второй 25, третий 26, четвертый 27, пятый 28, шестой 29, седьмой 32 и восьмой 35 регистры, первый компаратор 30 сравнения количества единичных бит, седьмой элемент И 31, второй компаратор 33 сравнения количества нулевых бит, восьмой элемент И с одним инверсным входом 34, а также введены внешние флаги готовности результата FE, «Буфер заполнен» FF, «Буфер пуст» FZ и флаг «нулей больше единиц» F01.

В данном устройстве осуществляется выявление максимальных групп единичных и нулевых бит и определение общего количества групп, номеров групп и начала групп в бинарной последовательности. К причинам, препятствующим достижению указанного ниже технического результата, относится отсутствие средств для задания размерности единичных и нулевых групп.

Известно устройство для детектирования единичных групп бит в бинарной последовательности RU №2763859 МПК G06F 7/74, H03K 21/00 заявлено 29.04.2021, опубликовано 11.01.2022, Бюл. №2) содержащее внешний вход данных DI, группу внешних выходов данных QB, группу внешних выходов количества групп QG, первый RS-триггер пуска-останова TSS 1, первый счетчик бит СТВ 2, регистр номера первого бита группы RGB 3, первый элемент И 4, первый элемент ИЛИ 5 с одним инверсным входом, второй триггер единичных бит TR1 6, второй элемент И 7 с одним инверсным входом, второй счетчик единиц STU 8, блок равенства нижней границе 9, блок равенства верхней границе 10, третий триггер нижней границы TRL 11, четвертый триггер верхней границы TRM 12, третий 13 и четвертый 14 элементы И с двумя инверсными входами, второй элемент ИЛИ 15, выходной буфер ОВ 16 и третий счетчик количества групп СТГ 17, а также введены внешние входы асинхронной установки в нулевое состояние CLR, пуска устройства START, остановки устройства STOP и тактовый С, внешние входные шины нижней границы GL и верхней границы GM диапазона единичных бит, внешняя шина управления обменом ЕО, внешние флаг «Буфер заполнен» FF и флаг

«Буфер пуст» FZ.

В данном устройстве осуществляется выявление единичных групп заданной размерности, определение количества групп и их расположение во входной последовательности данных. Недостатком данного устройства является отсутствие средств для детектирования заданных шаблонов содержащих совокупность групп (рядов) как нулевых, так и единичных бит.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является, принятое за прототип, устройство для детектирования перекрывающихся шаблонов бит в двоичной последовательности RU №2787294 МПК G06F 7/74, H03K 21/00 заявлено 31.03.2022, опубликовано 09.01.2023, Бюл. №1) содержит внешний вход данных ID, группу внешних входов шаблона IS, содержащую K разрядов, группу внешних входов IK задания разрядности входного шаблона IS, содержащую m разрядов (где  $m = \lceil \log_2(K+1) \rceil$  [большее целое]), группу внешних выходов данных QB, группу внешних выходов количества шаблонов QS, а также содержит RS-триггер пуска-останова TSS 1, первый счетчик бит СТВ 2, выходной буфер ОВ 3, второй вычитающий счетчик разрядов шаблона СТК 4, элемент И 5, регистр сдвига входных данных RD 6, дешифратор DC 7, группу из (K-1) элементов ИЛИ  $8_1, 8_2, \dots, 8_{(k-1)}$ , первую группу из K элементов И  $9_1, 9_2, \dots, 9_K$ , вторую группу из K элементов И  $10_1, 10_2, \dots, 10_K$ , компаратор СОМР 11 и третий счетчик количества шаблонов СТС 12, а также введены внешние входы тактового сигнала IC, пуска устройства START, остановки устройства STOP и внутренние шина дешифрации разрядов BDC, шина первого операнда сравнения ВА, шина второго операнда сравнения ВВ, внутренний флаг равенства FEQ и внутренний флаг записи FW, внешняя шина управления обменом ЕО, внешние флаг «Буфер заполнен» FF и флаг «Буфер пуст» FZ.

В данном устройстве осуществляется выявление перекрывающихся шаблонов, содержащих совокупность групп (рядов) как нулевых, так и единичных бит, задание значений шаблонов и их разрядности, определение количества выявленных шаблонов и их расположение во входной последовательности данных. Недостатком данного устройства является отсутствие средств для разделения перекрывающихся и неперекрывающихся шаблонов и определение их количества.

#### ЗАДАЧА ИЗОБРЕТЕНИЯ

Задачей изобретения является разработка аппаратных средств для исследования свойств генераторов псевдослучайных последовательностей двоичных чисел, а также для обработки результатов физических экспериментов и изображений.

При анализе генераторов псевдослучайных последовательностей двоичных чисел устройство предназначено для выявления и разделения перекрывающихся и неперекрывающихся групп, соответствующих заданным шаблонам из совокупности групп (рядов) нулевых и единичных бит.

При обработке результатов физических экспериментов устройство предназначено для выявления неперiodических событий (областей) - заданных длительностей событий и интервалов между ними, а также координат событий.

Техническим результатом изобретения расширение арсенала средств того же назначения, в части возможности выявления и разделения перекрывающихся и неперекрывающихся шаблонов, определении их количества и расположение во входной последовательности данных.

#### КРАТКОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Указанный технический результат при осуществлении изобретения достигается тем,

что устройство для детектирования перекрывающихся и неперекрывающихся шаблонов бит в двоичной последовательности содержит внешний вход данных ID, группу внешних входов шаблона IS, содержащую K разрядов, группу внешних входов IK задания разрядности входного шаблона IS, содержащую m разрядов (где  $m = \lceil \log_2(K+1) \rceil$  (большее

5 целое), группу внешних выходов данных QB, группу внешних выходов количества перекрывающихся шаблонов OS, группу внешних выходов количества неперекрывающихся шаблонов QN,

а также содержит первый RS-триггер пуска-останова TSS 1, второй триггер задержки TZ 2, первый счетчик бит СТВ 3, выходной буфер ОВ 4, первый элемент И с инверсным

10 входом 5, первый элемент ИЛИ 6, третий триггер записи TW 7, второй элемент ИЛИ 8, второй вычитающий счетчик разрядов шаблона СТК 9, второй элемент И 10, третий элемент И 11, третий счетчик количества перекрывающихся шаблонов СТС 12, четвертый счетчик количества неперекрывающихся шаблонов СТН 13, регистр сдвига входных данных RD 14, дешифратор DC 15, группу из (K-1) элементов ИЛИ  $16_1, 16_2, \dots, 16_{(K-1)}$ ,

15 первую группу из K элементов И  $17_1, 17_2, \dots, 17_K$ , вторую группу из K элементов И  $18_1, 18_2, \dots, 18_K$  и компаратор COMP 19,

а также введены внешние входы тактового сигнала IC, пуска устройства START, остановки устройства STOP и внутренняя шина дешифрации разрядов BDC, шина

20 первого операнда сравнения ВА, шина второго операнда сравнения ВВ, внутренние флаг равенства FEQ, флаг загрузки счетчика СТК FL, флаг неперекрывающихся шаблонов FN, флаг разрешения шаблонов FS, флаг первого состояния счетчика СТК FS1, флаг задержки старта FZS и флаг записи FW, внешняя шина управления обменом EO, внешние флаг «Буфер заполнен» FF и флаг «Буфер пуст» FZ,

причем внешний тактовый вход устройства IC соединен с входами синхронизации С первого RS-триггера пуска-останова TSS 1, второго триггера задержки TZ 2, первого

25 счетчика бит СТВ 3, выходного буфера ОВ 4, третьего триггера записи TW 7, второго вычитающего счетчика разрядов шаблона СТК 9, третьего счетчика количества перекрывающихся шаблонов СТС 12, четвертого счетчика количества

30 неперекрывающихся шаблонов СТН 13 и регистра сдвига входных данных RD 14, внешний вход пуска устройства START соединен с входом S синхронной установки в единичное состояние первого RS-триггера пуска-останова TSS 1 и с входами R синхронной установки в нулевое состояние второго триггера задержки TZ 2, первого

35 счетчика бит СТВ 3, выходного буфера ОВ 4, третьего триггера записи TW 7, второго вычитающего счетчика разрядов шаблона СТК 9, третьего счетчика количества перекрывающихся шаблонов СТС 12, четвертого счетчика количества неперекрывающихся шаблонов СТН 13 и регистра сдвига входных данных RD 14,

внешний вход остановки устройства STOP соединен с входом R синхронной установки в нулевое состояние первого RS-триггера пуска-останова TSS 1,

40 причем прямой выход первого RS-триггера пуска-останова TSS 1 с входом S синхронной установки в единичное состояние второго триггера задержки TZ 2, с входами SE разрешения работы первого счетчика бит СТВ 3 и регистра сдвига входных данных RD 14, прямым вторым входом первого элемента И 5 и вторыми входами второго элемента И 10 и третьего элемента И 11,

45 выход второго триггера задержки TZ 2 соединен с инверсным первым входом первого элемента И 5, выход которого является внутренним флагом задержки старта FZS и соединен с первым входом первого элемента ИЛИ 6, выход которого является внутренним флагом загрузки счетчика FL и соединен с входом L разрешения записи

второго вычитающего счетчика разрядов шаблона СТК 9,

внешний вход данных ID соединен с входом SI последовательного ввода регистра сдвига входных данных RD 14, группа K выходов которого соединена с первыми входами соответствующих одноименных элементов первой группы из K элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>, выходы которых являются соответствующими одноименными разрядами внутренней шины первого операнда сравнения ВА, которая соединена с первой группой входов компаратора СОМР 19,

K разрядов группы внешних входов шаблона IS соединены с первыми входами соответствующих одноименных элементов второй группы из K элементов И 18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>K</sub>, выходы которых являются соответствующими одноименными разрядами внутренней шины второго операнда сравнения ВВ, которая соединена со второй группой входов компаратора СОМР 19, выход которого является внутренним флагом равенства FEQ и соединен со третьими входами второго элемента И 10 и третьего элемента И 11,

причем группа внешних входов IK задания разрядности входного шаблона IS соединена с соответствующей группой D-входов второго счетчика разрядов шаблона СТК 9 и адресными входами дешифратора DC 15, у которого выходы, с первого выхода до (K-1)-го выхода, соединены с первыми входами соответствующих одноименных элементов группы из (K-1) элементов 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(k-1)</sub>, выходы которых являются

соответствующими одноименными разрядами, с первого разряда до (K-1)-го разряда, внутренней шины дешифрации разрядов BDC, у которой K-й разряд соединен с K-м выходом дешифратора DC 15, а K разрядов внутренней шины дешифрации разрядов BDC соединены со вторыми входами соответствующих одноименных элементов первой группы из K элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub> и второй группы из K элементов И 18<sub>1</sub>, 18<sub>2</sub>,

..., 18<sub>K</sub>, а также выходы элементов группы 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(k-1)</sub> из (K-1) элементов ИЛИ, начиная с выхода (K-1)-го элемента 16<sub>(K-1)</sub> до второго элемента 16<sub>2</sub>, соединены со

вторыми входами соответствующих предыдущих элементов ИЛИ группы 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(k-1)</sub>, начиная с (K-2)-го элемента 16<sub>(K-2)</sub> до первого элемента 16<sub>1</sub>, а второй вход (K-

1)-го элемента 16<sub>(K-1)</sub> соединен с K-м выходом дешифратора DC 15, кроме того выход первого состояния второго вычитающего счетчика разрядов шаблона СТК 9 является внутренним флагом FS1 первого состояния и соединен с инверсным входом разрешения работы SE счетчика разрядов шаблона СТК 9, с входом S синхронной установки в единичное состояние третьего триггера записи TW 7, со вторым входом второго элемента ИЛИ 8 и с первым входом третьего элемента И 11,

причем выход третьего триггера записи TW 7 соединен с первым входом второго элемента ИЛИ 8, выход которого является внутренним флагом разрешения шаблонов FS и соединен с первым входом второго элемента И 10, выход которого является внутренним флагом записи FW и соединен с входами SE разрешения работы выходного буфера ОВ 4 и третьего счетчика количества перекрывающихся шаблонов СТС 12, а выход третьего элемента И 11 является внутренним флагом неперекрывающихся шаблонов FN и соединен со вторым D-входом выходного буфера ОВ 4, со вторым входом первого элемента ИЛИ 6 и с входом SE разрешения работы четвертого счетчика количества неперекрывающихся шаблонов СТН,

причем группа выходов первого счетчика бит СТВ 3 соединена с первой группой информационных D-входов выходного буфера ОВ 4, который также подключен к внешней шине ЕО управления обменом, а соответствующие выходы выходного буфера ОВ 4 являются группой внешних выходов данных QB и внешними флагами «Буфер

заполнен» FF и «Буфер пуст» FZ,

кроме того группа выходов третьего счетчика количества перекрывающихся шаблонов CTS 12 является группой внешних выходов количества перекрывающихся шаблонов QS, а группа выходов четвертого счетчика количества неперекрывающихся шаблонов CTN 13 является группой внешних выходов количества неперекрывающихся шаблонов QN.

#### КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 представлена схема предлагаемого устройства.

На фиг. 2 и фиг. 3 приведены временные диаграммы работы устройства.

На фиг. 1-3 и в тексте приняты следующие обозначения:

BUF - буфер с дисциплиной обслуживания FIFO,

В А - внутренняя шина первого операнда сравнения,

ВВ - внутренняя шина второго операнда сравнения,

ВDC - внутренняя шина дешифрации разрядов,

С - тактовый вход,

СЕ - вход разрешения работы,

COMP - схема сравнения (компаратор),

СТ - счетчик,

СТВ - счетчик бит (разрядов),

СТК - вычитающий счетчик разрядов шаблона,

CTS - счетчик количества перекрывающихся шаблонов,

CTN - счетчик количества неперекрывающихся шаблонов,

D - информационные входы,

DC - дешифратор,

IC - внешний тактовый вход,

ID - внешний вход данных,

IK - группа внешних входов задания разрядности входного шаблона IS, содержащая  $m$  разрядов (где  $m = \lceil \log_2(K+1) \rceil$  [большее целое]),

IS - группа внешних входов задания шаблона, содержащая K разрядов,

EO - внешняя шина управления обменом с выходным буфером OB,

FEQ - внутренний флаг равенства,

FL - внутренний флаг загрузки счетчика СТК,

FN - внутренний флаг неперекрывающихся шаблонов,

FS - внутренний флаг разрешения шаблонов,

FS1 - внутренний флаг первого состояния счетчика СТК,

FW - внутренний флаг записи,

FF - внешний флаг «Буфер заполнен»,

FZ - внешний флаг «Буфер пуст»,

FZS - внутренний флаг задержки старта,

K - разрядность шаблона,

L - вход разрешения записи,

N - размерность (длина) входной последовательности данных,

OB - выходной буфер,

QB - группа внешних выходов данных,

QN - группа внешних выходов количества неперекрывающихся шаблонов,

QS - группа внешних выходов количества перекрывающихся шаблонов,

RD - регистр сдвига входных данных,

RG - регистр,

R - вход синхронной установки в нулевое состояние,  
 S - вход синхронной установки в единичное состояние,  
 SI - вход последовательного ввода регистра RD,  
 START - внешний вход пуска,  
 5 STOP - внешний вход останова,  
 T - триггер,  
 TSS - триггер пуска-останова,  
 TW - триггер записи,  
 TZ - триггер задержки,

10 1 - первый RS-триггер пуска-останова TSS,  
 2 - второй триггер задержки TZ,  
 3 - первый счетчик бит СТВ,  
 4 - выходной буфер ОВ,  
 5 - первый элемент И (AND) с одним инверсным входом,  
 15 6 - первый элемент ИЛИ (OR),  
 7 - третий триггер записи TW,  
 8 - второй элемент ИЛИ (OR),  
 9 - второй вычитающий счетчик разрядов шаблона СТК,  
 10 - второй элемент И (AND),  
 20 11 - третий элемент И (AND),  
 12 - третий счетчик количества перекрывающихся шаблонов СТС,  
 13 - четвертый счетчик количества неперекрывающихся шаблонов СТН,  
 14 - регистр сдвига входных данных RD,  
 15 - дешифратор DC,  
 25 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(K-1)</sub> - группа из (K-1) элементов ИЛИ (OR),  
 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub> - первая группа из K элементов И (AND),  
 18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>K</sub> - вторая группа из K элементов И (AND),  
 19 - компаратор (COMP).

30 Предлагаемое устройство содержит внешний вход данных ID, группу внешних входов шаблона IS, содержащую K разрядов, группу внешних входов IK задания разрядности входного шаблона IS, содержащую m разрядов (где  $m = \lceil \log_2(K+1) \rceil$  [большее целое]), группу внешних выходов данных QB, группу внешних выходов количества перекрывающихся шаблонов QS, группу внешних выходов количества  
 35 неперекрывающихся шаблонов QN, а также содержит первый RS-триггер пуска-останова TSS 1, второй триггер задержки TZ 2, первый счетчик бит СТВ 3, выходной буфер ОВ 4, первый элемент И с инверсным входом 5, первый элемент ИЛИ 6, третий триггер записи TW 7, второй элемент ИЛИ 8, второй вычитающий счетчик разрядов шаблона СТК 9, второй элемент И 10, третий элемент И 11, третий счетчик количества  
 40 перекрывающихся шаблонов СТС 12, четвертый счетчик количества неперекрывающихся шаблонов СТН 13, регистр сдвига входных данных RD 14, дешифратор DC 15, группу из (K-1) элементов ИЛИ 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(K-1)</sub>, первую группу из K элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>, вторую группу из K элементов И 18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>K</sub> и компаратор COMP 19.

45 В предлагаемое устройство также введены внешние входы тактового сигнала IC, пуска устройства START, остановки устройства STOP и внутренняя шина дешифрации разрядов BDC, шина первого операнда сравнения VA, шина второго операнда сравнения VB, внутренние флаг равенства FEQ, флаг загрузки счетчика СТК FL, флаг неперекрывающихся шаблонов FN, флаг разрешения шаблонов FS, флаг первого

состояния счетчика СТК FS1, флаг задержки старта FZS и флаг записи FW, внешняя шина управления обменом ЕО, внешние флаг «Буфер заполнен» FF и флаг «Буфер пуст» FZ.

Первый счетчик бит СТВ 3 предназначен для определения номера текущего бита (разряда) входной последовательности данных ID размерности N. Второй вычитающий счетчик СТК 12 предназначен для подсчета IK бит (разрядов) текущей группы входной последовательности данных ID и запрета в этот период (при нулевом значении флага FS1=0 первого состояния счетчика разрядов шаблона СТК) формирования единичного значения внутреннего флага записи FW=0. Регистр сдвига входных данных RD 14 предназначен для преобразования входной последовательности данных ID в параллельные K-разрядные группы. Выходной буфер ОВ 4 предназначен для накопления номеров старших бит (разрядов) выявленных перекрывающихся и неперекрывающихся групп, соответствующих заданному шаблону IS из входной последовательности данных ID, и соответствующих значений флага неперекрывающихся шаблонов FN.

Внешний тактовый вход устройства IC соединен с входами синхронизации С первого RS-триггера пуска-останова TSS 1, второго триггера задержки TZ 2, первого счетчика бит СТВ 3, выходного буфера ОВ 4, третьего триггера записи TW 7, второго вычитающего счетчика разрядов шаблона СТК 9, третьего счетчика количества перекрывающихся шаблонов CTS 12, четвертого счетчика количества неперекрывающихся шаблонов CTN 13 и регистра сдвига входных данных RD 14.

Внешний вход пуска устройства START соединен с входом S синхронной установки в единичное состояние первого RS-триггера пуска-останова TSS 1 и с входами R синхронной установки в нулевое состояние второго триггера задержки TZ 2, первого счетчика бит СТВ 3, выходного буфера ОВ 4, третьего триггера записи TW 7, второго вычитающего счетчика разрядов шаблона СТК 9, третьего счетчика количества перекрывающихся шаблонов CTS 12, четвертого счетчика количества неперекрывающихся шаблонов CTN 13 и регистра сдвига входных данных RD 14.

Внешний вход остановки устройства STOP соединен с входом R синхронной установки в нулевое состояние первого RS-триггера пуска-останова TSS 1.

Первый RS-триггер пуска-останова TSS 1 предназначен для выделения цикла работы предлагаемого устройства, между сигналами START и STOP, для входной последовательности данных ID размерности N. Причем прямой выход первого RS-триггера пуска-останова TSS 1 с входом S синхронной установки в единичное состояние второго триггера задержки TZ 2, с входами SE разрешения работы первого счетчика бит СТВ 3 и регистра сдвига входных данных RD 14, прямым вторым входом первого элемента И 5 и вторыми входами второго элемента И 10 и третьего элемента И 11.

Выход второго триггера задержки TZ 2 соединен с инверсным первым входом первого элемента И 5, выход которого является внутренним флагом задержки старта FZS и соединен с первым входом первого элемента ИЛИ 6, выход которого является внутренним флагом загрузки счетчика FL и соединен с входом L разрешения записи второго вычитающего счетчика разрядов шаблона СТК 9.

Внешний вход данных ID соединен с входом SI последовательного ввода регистра сдвига входных данных RD 14, группа K выходов которого соединена с первыми входами соответствующих одноименных элементов первой группы из K элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>, выходы которых являются соответствующими одноименными разрядами внутренней шины первого операнда сравнения ВА, которая соединена с первой группой входов компаратора COMP 19.

K разрядов группы внешних входов шаблона IS соединены с первыми входами

соответствующих одноименных элементов второй группы из  $K$  элементов И 18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>К</sub>, выходы которых являются соответствующими одноименными разрядами внутренней шины второго операнда сравнения ВВ, которая соединена со второй группой входов компаратора СОМР 19, выход которого является внутренним флагом равенства FEQ и соединен со третьими входами второго элемента И 10 и третьего элемента И 11.

Группа внешних входов ИК задания разрядности входного шаблона IS соединена с соответствующей группой D-входов второго счетчика разрядов шаблона СТК 9 и адресными входами дешифратора DC 15, у которого выходы, с первого выхода до (К-1)-го выхода, соединены с первыми входами соответствующих одноименных элементов группы из (К-1) элементов 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(К-1)</sub>, выходы которых являются соответствующими одноименными разрядами, с первого разряда до (К-1)-го разряда, внутренней шины дешифрации разрядов ВDC, у которой К-й разряд соединен с К-м выходом дешифратора DC 15.

Группа К разрядов внутренней шины дешифрации разрядов ВDC соединены со вторыми входами соответствующих одноименных элементов первой группы из К элементов И 17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>К</sub> и второй группы из К элементов И 18<sub>1</sub>, 18<sub>2</sub>, ..., 18. Выходы элементов группы 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(К-1)</sub> из (К-1) элементов ИЛИ, начиная с выхода (К-1)-го элемента 16<sub>(К-1)</sub> до второго элемента 16<sub>2</sub>, соединены со вторыми входами соответствующих предыдущих элементов ИЛИ группы 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(К-1)</sub>, начиная с (К-2)-го элемента 16<sub>(К-2)</sub> до первого элемента 16<sub>1</sub>, а второй вход (К-1)-го элемента 16<sub>(К-1)</sub> соединен с К-м выходом дешифратора DC 15.

Выход первого состояния второго вычитающего счетчика разрядов шаблона СТК 9 является внутренним флагом FS1 первого состояния и соединен с инверсным входом разрешения работы SE счетчика разрядов шаблона СТК 9, с входом S синхронной установки в единичное состояние третьего триггера записи TW 7, со вторым входом второго элемента ИЛИ 8 и с первым входом третьего элемента И 11.

Выход третьего триггера записи TW 7 соединен с первым входом второго элемента ИЛИ 8, выход которого является внутренним флагом разрешения шаблонов FS и соединен с первым входом второго элемента И 10, выход которого является внутренним флагом записи FW и соединен с входами SE разрешения работы выходного буфера ОВ 4 и третьего счетчика количества перекрывающихся шаблонов СТС 12.

Выход третьего элемента И 11 является внутренним флагом неперекрывающихся шаблонов FN и соединен со вторым D-входом выходного буфера ОВ 4, со вторым входом первого элемента ИЛИ 6 и с входом SE разрешения работы четвертого счетчика количества неперекрывающихся шаблонов СТН,

Группа выходов первого счетчика бит СТВ 3 соединена с первой группой информационных D-входов выходного буфера ОВ 4, который также подключен к внешней шине ЕО управления обменом, а соответствующие выходы выходного буфера ОВ 4 являются группой внешних выходов данных QB и внешними флагами «Буфер заполнен» FF и «Буфер пуст» FZ.

Группа выходов третьего счетчика количества перекрывающихся шаблонов СТС 12 является группой внешних выходов количества перекрывающихся шаблонов QS, а группа выходов четвертого счетчика количества неперекрывающихся шаблонов СТН 13 является группой внешних выходов количества неперекрывающихся шаблонов QN.

#### ПОДРОБНОЕ ОПИСАНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Принцип работы предлагаемого устройства состоит в следующем.

Предлагаемое устройство позволяет детектировать  $IK$ -разрядные группы во входном  $N$ -разрядном двоичном числе, соответствующие  $IK$  разрядному заданному шаблону групп  $IS$ , который содержит заданную последовательность единичных и нулевых бит. Устройство позволяет оперативно изменять (задавать) разрядность  $IK \leq K$  и значения разрядов шаблона  $IS$ . В устройстве подсчитывается количество групп соответствующих заданному коду шаблону  $IS$  и определяются номера старших разрядов выявленных входных групп во входном  $N$ -разрядном двоичном числе, которые записываются в выходной буфер  $OB$  4. При этом разряды выявленных соседних входных групп, совпадающих с заданным шаблоном  $IS$ , могут перекрываться или не перекрываться. В устройстве отдельно ведется подсчет перекрывающихся и неперекрывающихся групп соответствующих заданному шаблону.

На внешний вход данных  $ID$  последовательно разряд за разрядом поступают биты входной последовательности данных размерностью  $N$ , которые далее передаются на вход последовательного ввода  $SI$  сдвига  $K$  разрядного регистра  $RD$  14. На регистре сдвига  $RD$  14 осуществляется сдвиг на один разряд в сторону старших разрядов от первого разряда к  $K$ -му разряду. При этом разряды кода входной двоичной последовательности  $ID$  преобразуются в параллельные  $K$ -разрядные коды на выходах регистра  $RD$  14.

На внешний вход данных  $ID$  биты начинают поступать в следующем такте после сигнала  $START=1$  и далее поступают в каждом такте  $IC$ . После ввода последнего  $N$ -го разряда входного двоичного числа задается единичный сигнал остановки  $STOP=1$ .

Устройство начинает работать после подачи единичного сигнала  $START=1$ , по которому в единичное состояние устанавливается первый  $RS$ -триггер 1 пуска-останова  $TSS=1$ , а другие элементы хранения в нулевое состояние - триггеры  $TZ$  2 и  $TW$  7, счетчики  $CTB$  3,  $CTK$  9,  $CTS$  12 и  $CTN$  13 и регистр входных данных  $RD$  14, а также устанавливается начальный нулевой адрес в выходном буфере  $OB$  4. Так как первый входной бит поступает на следующем втором такте, то введен второй триггер  $TZ$  2, который задерживает начало работы на один такт. При этом на втором такте формируется одноразовый внутренний флаг задержки старта  $FZS=1$ , по которому формируется единичное значение флага  $FL=1$  загрузки счетчика  $CTK$  9 и в вычитающий счетчик разрядов шаблона  $CTK$  9 загружается код « $IK$ » текущей разрядности заданного шаблона  $IS$ , значение которого устанавливается на внешней входной  $K$  разрядной шине  $IS$ . На следующих  $IK$  тактовых сигналах  $IC$  осуществляется сдвиг в регистре  $RD$  14, подсчет бит (разрядов) входной последовательности  $ID$  в первом счетчике бит  $CTB$  3 и вычитание во втором счетчике разрядов шаблона  $CTK$  9, пока не установится единичное значение флага  $FS1=1$  первого состояния на выходе счетчика  $CTK$  9.

Одновременно код « $IK$ » текущей разрядности заданного шаблона  $IS$  передается на входы дешифратора  $DC$  15. На выходах дешифратора  $DC$  15 формируются унитарные коды «1 из  $K$ », которые передаются на соответствующие входы группы  $16_1, 16_2, \dots, 16_{(K-1)}$  из  $(K-1)$  элементов ИЛИ. Единичное значение, установленное на выходе дешифратора  $DC$  15 соответствующем коду  $IK$ , далее последовательно передается по цепочке элементов ИЛИ  $16_1, 16_2, \dots, 16_{(K-1)}$  в сторону младших разрядов. При этом на внутренней шине дешифрации разрядов  $BDC$  устанавливается упорядоченная последовательность единичных значений, начиная с первого разряда до  $IK$ -го разряда (при  $IK \leq K$ ) и нулевые значения с  $(IK+1)$ -го разряда до старшего  $K$ -го разряда (унитарный позиционный ряд  $00\dots 011\dots 1$ ).

Далее значения разрядов с внутренней шины  $BDC$  поступают на вторые входы

соответствующих одноименных элементов И первой группы  $17_1, 17_2, \dots, 17_K$  и второй группы  $18_1, 18_2, \dots, 18$ . При этом при единичных значениях разрядов в первой группе элементов И  $17_1, 17_2, \dots, 17_K$  на внутреннюю шину первого операнда сравнения ВА передаются ИК разрядов входной последовательности данных ID с выходов регистра RD 14, а во второй группе элементов И  $18_1, 18_2, \dots, 18$  на внутреннюю шину второго операнда сравнения ВВ передаются ИК разрядов заданного шаблона IS. При этом на шинах В А и ВВ с (ИК+1)-го разряда до старшего К-го разряда формируются нулевые значения.

10 Далее на компараторе СОМР 19 осуществляется сравнение кодов с внутренних шин первого ВА и второго ВВ операндов и при совпадении формируется единичное значение внутреннего флага равенства FEQ=1. Далее формируется единичное значение внутреннего флага записи FW=1 на выходе второго элемента И 10, по которому осуществляется запись номера старшего бита выявленной группы из входной  
15 последовательности данных ID, соответствующей заданному шаблону IS, с выходов первого счетчика бит СТВ 3 в выходной буфер ОВ 4 и увеличение счетчика количества выявленных перекрывающихся шаблонов СТС 12.

Одновременно формируется значение флага неперекрывающихся шаблонов FN в зависимости от состояния флага FS1 первого состояния на выходе второго вычитающего  
20 счетчика разрядов шаблона СТК 9. При единичном значении флага FS1=1 первого состояния второго вычитающего счетчика разрядов шаблона СТК 9, когда после предыдущего шаблона прошло «ИК» разрядов, формируется единичное значение внутреннего флага неперекрывающихся шаблонов FN=1 на выходе третьего элемента И 11 или формируется нулевое значение флага FN=0 соответствующее перекрывающимся  
25 шаблонам. Данное значение флага FN поступает на второй D-вход выходного буфера ОВ 4 совместно с номером старшего бита выявленной группы. Кроме того при единичном значении внутреннего флага неперекрывающихся шаблонов FN=1 увеличивается значение четвертого счетчика количества выявленных неперекрывающихся шаблонов СТН 13.

30 Кроме того при выявлении неперекрывающихся шаблонов, при единичном значении флага FN=1, на выходе первого элемента ИЛИ 6 формируется единичное значение внутреннего флага FL=1 загрузки счетчика СТК 9, по которому в вычитающий счетчик разрядов шаблона СТК 9 вновь загружается код «ИК» текущей разрядности заданного шаблона IS.

35 Далее по следующим тактовым сигналам 1С в регистр данных RD 14 при сдвиге записывается один следующий разряд входной последовательности данных ID и вновь осуществляется сравнение разрешенных разрядов регистра данных RD 14 с шаблоном IS на компараторе СОМР 19 и формирование единичных или нулевых значений внутренних флагов равенства FEQ, записи FW, неперекрывающихся шаблонов FN, разрешения шаблонов FS, загрузки счетчика FL и первого состояния счетчика FS1.  
40

Предлагаемое устройство работает следующим образом.

На фиг. 2 и фиг. 3 приведены временные диаграммы работы устройства для поиска групп во входном  $N=12$  разрядном двоичном числе соответствующих  $K=4$  разрядным шаблонам IS и кодом  $m = \lceil \log_2(4+1) \rceil = 3$  для разрядности шаблона ИК. На фиг. 2 заданный  
45 шаблон содержит ИК=3 (011) разрядов и значения разрядов IS=0101, при этом значимыми являются три младших (правых) разряда. На фиг. 3 заданный шаблон содержит ИК=4 (100) разряда и значения разрядов IS=0101, при этом значимыми являются все четыре разряда..

Перед началом работы соответствующие заданные значения для шаблонов задаются на группе внешних входов шаблона IS, содержащей  $K=4$  разряда, и на группе внешних входов задания разрядности входного шаблона IK, содержащей  $t=3$  разряда, которые сохраняются на внешних входах в течении всего времени работы устройства - задания

5 входного  $N=12$  разрядного двоичного числа.

Работа устройства для каждой входной последовательности начинается после подачи единичного сигнала  $START=1$ . При этом по фронту тактового сигнала IC (такт 2 на фиг. 2-3) в единичное состояние устанавливается первый RS-триггер 1 пуска-останова  $TSS=1$ , в нулевое состояние устанавливаются второй триггер задержки  $TZ$  2, первый

10 счетчик бит  $CTB$  3, третий триггер записи  $TW$  7, второй вычитающий счетчик разрядов шаблона  $СТК$  9, третий счетчик количества перекрывающихся шаблонов  $CTS$  12, четвертый счетчик количества неперекрывающихся шаблонов  $СТН$  13 и регистр сдвига входных данных  $RD$  14, а также устанавливается начальный нулевой адрес в выходном буфере  $OB$  4.

15 Кроме того на такте 2 на выходе первого элемента И 5 формируется единичное значение одноразового внутреннего флага задержки старта  $FZS=1$ , по которому формируется единичное значение флага  $FL=1$  загрузки счетчика  $СТК$  9 на выходе первого элемента ИЛИ бив в следующем такте 3 в вычитающий счетчик разрядов шаблона  $СТК$  9 загружается код «IK» текущей разрядности заданного шаблона IS (на фиг. 2

20  $IK=3$  (011), на фиг. 3  $IK=4$  (100)). При этом формируется нулевое значение флага первого состояния счетчика  $FS1=0$  на выходе счетчика разрядов шаблона  $СТК$  9.

Одновременно код  $IK=3$  (ОН) (фиг. 2) текущей разрядности заданного шаблона IS передается на входы дешифратора  $DC$  15. На выходах дешифратора  $DC$  15 формируются унитарные коды «1 из  $K=4$ », которые передаются на соответствующие первые входы

25 группы  $116_1, 16_2, \dots, 16_{(K-1)}$  из  $(K-1)$  элементов ИЛИ, вторые входы которых соединены по цепочке с выходами последующих элементов. Далее сформированный код передается на внутреннюю шину дешифрации разрядов  $BDC$ . Для кода  $IK=3$  (ОН) на шине  $BDC$  будет установлено значение унитарного позиционного ряда  $BDC=0111$ , по которому на следующих тактах разрешается передача только трех младших разрядов на

30 внутреннюю шину первого операнда сравнения  $BA$  с выходов регистра  $RD$  14 и на внутреннюю шину второго операнда сравнения  $BB$  с внешних входов заданного шаблона IS. При этом на шине второго операнда сравнения  $BB$  устанавливается код  $BB=0101$ .

Единичное значение с выхода первого RS-триггера 1 пуска-останова  $TSS=1$  поступает

35 на входы разрешения работы  $CE$  первого счетчика бит  $CTB$  3 и регистра данных  $RD$  14, в которых далее на следующих тактах осуществляется подсчет бит в первом счетчике бит  $CTB$  3 и последовательный ввод входных данных  $ID$  в регистр  $RD$  14 сдвига входных данных.

В такте 3 единичное значение  $ID=T$  с входа данных, заданное в такте 2, записывается

40 в регистр сдвига входных данных  $RD$  14 и на выходах устанавливается код  $RD=0001$ , который далее передается на внутреннюю шину первого операнда сравнения  $BA=0001$ , сравнивается с кодом на внутренней шине второго операнда  $BB=0101$  и устанавливается нулевое значение внутреннего флага равенства  $FEQ=0$  на выходе компаратора  $COMP$  19. Одновременно увеличивается на единицу значение первого 3 счетчика бит  $CTB=1$ .

45 Также в такте 3 задается нулевое значение следующего второго бита на входе данных  $ID=0$ .

В такте 4 аналогично работают элементы устройства и устанавливаются следующие коды: первого 3 счетчика бит  $CTB=2$ , уменьшенное на единицу значение второго

вычитающего счетчика 9 разрядов шаблона  $СТК=2$ , внутреннего флага первого состояния счетчика  $FS1=0$ , внутренней шины первого операнда сравнения  $ВА=0010$  и внутреннего флага равенства  $FEQ=0$ . Также в такте 4 задается единичное значение следующего третьего бита на входе данных  $ID=1$ .

5 В такте 5 аналогично работают элементы устройства и устанавливаются следующие коды: первого 3 счетчика бит  $СТВ=3$ , второго вычитающего счетчика 9 разрядов шаблона  $СТК=1$ , внутренней шины первого операнда сравнения  $ВА=0101$ . При этом так как значение первого счетчика 3 разрядов шаблона  $СТК=1$ , то формируется единичное значение флага первого состояния счетчика  $FS 1=1$ . Одновременно так как  
10 совпадают значения кода первого операнда сравнения  $ВА=0101$  и второго операнда  $ВВ=0101$ , т.е. выявлена первая группа во входной последовательности соответствующая заданному шаблону  $IS=0101$ , то формируется единичное значение внутреннего флага равенства  $FEQ=1$  на выходе компаратора  $СОМР 19$ .

Далее, при единичном значении флага первого состояния счетчика  $FS1=1$  второго  
15 счетчика разрядов шаблона  $СТК 9$ , формируется единичное значение внутреннего флага неперекрывающихся шаблонов  $FN=1$  на выходе третьего элемента  $И 11$ , а также формируется единичное значение внутреннего флага разрешения шаблонов  $FS=1$  на выходе второго элемента  $ИЛИ 8$ , по которому формируется единичное значение внутреннего флага записи  $FW=1$  на выходе второго элемента  $И 10$ , по которому в такте  
20 6 разрешается работа выходного буфера  $ОВ 4$ , в который по нулевому адресу записывается код  $ОВ(0)=1\_3$  - единичное значение флага неперекрывающихся шаблонов  $FN=1$  и значение кода с выхода счетчика бит  $СТВ=3$ , который соответствует номеру третьего бита входной последовательности (старшего разряда первой выявленной группы без перекрытия), а также разрешается счет (увеличение на единицу) в третьем  
25 счетчике 12 количества перекрывающихся шаблонов  $СТС=1$  и в четвертом счетчике 13 количества неперекрывающихся шаблонов  $СТН=1$ .

Кроме того в такте 5 при единичном значении флага разрешения шаблонов  $FS=1$  формируется единичное значение флага загрузки счетчика  $FL=1$  на выходе первого  
30 элемента  $ИЛИ 6$ , по которому в такте 6 в вычитающий второй счетчик 9 разрядов шаблона загружается код « $IK$ »  $СТК=3$ . Кроме того в такте 6 при единичном значении флага первого состояния счетчика  $FS1=1$  в единичное состояние устанавливается третий триггер 7 записи  $TW=1$ , по которому на следующих тактах устанавливается единичное значение флага разрешения шаблонов  $FS=1$ .

В тактах 5, 6 и 7 следующие три бита входной последовательности поступают на  
35 вход данных  $ID=101$ , который также совпадает с заданным шаблоном  $IS=0101$ . Поэтому в такте 8 формируются единичные значения внутреннего флага равенства  $FEQ=1$  на выходе компаратора  $СОМР 19$ . Кроме того так как были приняты три бита входной последовательности, то формируется единичное значение флага первого состояния  $FS1=1$  второго счетчика 9 разрядов шаблона при  $СТК=1$  и далее формируется единичное  
40 значение внутреннего флага неперекрывающихся шаблонов  $FN=1$  на выходе третьего элемента  $И 11$ .

Одновременно формируется единичное значение флага записи  $FW=1$  на выходе второго элемента  $И 10$ , по которому в такте 9 разрешается работа выходного буфера  $ОВ 4$ , в который по первому адресу записывается код  $ОВ(1)=1\_6$  - единичное значение  
45 флага неперекрывающихся шаблонов  $FN=1$  и значение кода с выхода счетчика бит  $СТВ=6$ , который соответствует номеру шестого бита входной последовательности (старшего разряда второй выявленной группы без перекрытия), а также разрешается счет (увеличение на единицу) в третьем счетчике 12 количества перекрывающихся

шаблонов CTS=2 и в четвертом счетчике 13 количества неперекрывающихся шаблонов CTN=2.

В тактах 8 и 9 следующие два бита (седьмой и восьмой биты) входной последовательности поступают на вход данных ID=01. Так как в устройстве  
 5 детектируются группы бит соответствующие заданному шаблону как с перекрытием, так и без перекрытия разрядов из соседних групп, то при единичном значении шестого бита формируется код трехразрядной группы 101 в трех младших разрядах регистра данных RD 14 соответствующие заданному шаблону IS=101. Поэтому в такте 10 формируются единичные значения внутреннего флага равенства FEQ=1 на выходе  
 10 компаратора COMP 19, но формируется нулевое значение флага неперекрывающихся шаблонов FN=0 (так как установлено нулевое значение флага первого состояния FS1=0 второго счетчика 9 разрядов шаблона при CTK=2).

Одновременно в такте 10 формируется единичное значение внутреннего флага записи FW=1 на выходе второго элемента И 10, по которому в такте 11 осуществляется запись  
 15 по второму адресу выходного буфера OB(2)=0\_8 - нулевое значение флага неперекрывающихся шаблонов FN=0 и значение кода с выхода счетчика бит CTV=8, который соответствует номеру восьмого бита входной последовательности (старшего разряда третьей выявленной группы с перекрытием), а также разрешается счет (увеличение на единицу) в третьем счетчике 12 количества перекрывающихся шаблонов  
 20 CTS=3 и запрет счета в четвертом счетчике 13 количества неперекрывающихся шаблонов CTN=2.

Кроме того в такте 11 уменьшается на единицу значение счетчика 9 разрядов шаблона CTK=1 и формируется единичное значение флага неперекрывающихся шаблонов FN=1, по которому следующее совпадение входных данных с шаблоном будет без  
 25 перекрытия.

Аналогично осуществляется поиск групп на тактах 10-13 и на такте 13 формирование единичных значений внутреннего флага равенства FEQ=1 и внутреннего флага записи FW=1 и далее на такте 14 запись по третьему адресу выходного буфера OB(3)=1\_11 - единичное значение флага неперекрывающихся шаблонов FN=1 и значение кода с  
 30 выхода счетчика бит CTV=11, который, соответствующее старшему одиннадцатому биту для четвертой выявленной группы без перекрытия, а также разрешается счет (увеличение на единицу) в третьем счетчике 12 количества перекрывающихся шаблонов CTS=4 и в четвертом счетчике 13 количества неперекрывающихся шаблонов CTN=3.

Таким образом, для входного N=12 разрядного двоичного числа приведенного на  
 35 фиг. 2 выявлено четыре группы соответствующие заданному трехразрядному IK=3 шаблону IS=101, для которых в выходной буфер OB 3 записаны по четырем адресам OB(0), OB(3) значения флага неперекрывающихся шаблонов FN и номера (3, 6, 8, 11) старших бит выявленных групп во входной последовательности, на группе внешних выходов количества перекрывающихся шаблонов QS установлен код с выхода третьего  
 40 счетчика 12 количества шаблонов CTS=4 и на группе внешних выходов количества неперекрывающихся шаблонов QN установлен код с выхода четвертого счетчика 13 количества шаблонов CTN=3.

Для последовательности входных данных ID приведенных на фиг. 3 осуществляется поиск групп для IK=(4) 100 разрядов заданного шаблона IS=0101. Одновременно для  
 45 кода IK=100 на шине BDC будет установлено значение унитарного позиционного ряда BDC=1 111, по которому на следующих тактах разрешается передача четырех младших разрядов на внутреннюю шину первого операнда сравнения ВА с выходов регистра RD 14 и на внутреннюю шину второго операнда сравнения ВВ с внешних входов

заданного шаблона IS. При этом на шине второго операнда сравнения ВВ устанавливается код ВВ=0101. В такте 3 при единичном значении флага загрузки счетчика FL=1 значение кода IK=4 текущей разрядности заданного шаблона IS загружается в вычитающий счетчик 9 разрядов шаблона СТК=4.

5 Первое единичное значение внутреннего флага равенства FEQ=1 на выходе компаратора СОМР 19 формируется на такте 5, так как после передачи трех первых бит входной последовательности на шине первого операнда сравнения ВА с выходов регистра RD 14 установлен код ВА=0101 соответствующий разрядам заданного шаблона IS=0101. Но при этом установлено нулевое значение флага первого состояния счетчика  
10 СТК FS1=0, так как на вход данных ID поступило только три бита и во втором 9 счетчике разрядов шаблона установлено значение СТК=2. Поэтому формируется нулевое значение внутреннего флага записи FW=0 на выходе второго элемента И 10 и запрещена запись в выходной буфер ОВ 4 и счет групп в третьем счетчике 12 количества шаблонов СТС и четвертом счетчике 13 количества неперекрывающихся шаблонов СТН.

15 В тактах 5 и 6 на вход данных ID=01 поступают значения четвертого (0) и пятого (1) бит, для которых, с учетом значений предыдущих второго (0) и третьего бит (1), на такте 7 формируется четырехразрядной код группы на шине первого операнда сравнения ВА=0101 с выходов регистра RD 14 соответствующий заданному шаблону IS=0101. При этом формируется единичное значение внутреннего флага равенства FEQ=L Кроме  
20 того в такте 5 уже было установлено значение счетчика разрядов шаблона СТК=1 (принято четыре бита входных данных) и сформировано единичное значение флага первого состояния счетчика FS1=1. Поэтому в такте 7 формируются единичные значения флага неперекрывающихся шаблонов FN=1 на выходе третьего элемента И 11 и далее формируется единичное значение внутреннего флага записи FW=1. Далее в такте 8  
25 осуществляется запись кода по нулевому адресу выходного буфера кода ОВ(0)=1\_5 -единичное значение флага неперекрывающихся шаблонов FN=1 и значение кода с выхода счетчика бит СТВ=5, который соответствует номеру пятого бита входной последовательности (старшего разряда первой выявленной группы без перекрытия), а также разрешается счет (увеличение на единицу) в третьем счетчике 12 количества  
30 перекрывающихся шаблонов СТС=1 и в четвертом счетчике 13 количества неперекрывающихся шаблонов СТН=1.

Следующая группа, соответствующая заданному шаблону IS=0101, выявлена для 7-10 разрядов входной последовательности, для которой формируются в такте 11 единичное значение флага неперекрывающихся шаблонов FN=1 и в такте 12 флага  
35 записи FW=1. Поэтому далее в такте 13 осуществляется запись кода по первому адресу выходного буфера кода ОВ(1)=1\_10 - единичное значение флага неперекрывающихся шаблонов FN=1 и с выхода счетчика бит СТВ=10, который соответствует номеру десятого бита входной последовательности (старшего разряда второй выявленной группы без перекрытия), а также разрешается счет (увеличение на единицу) в третьем  
40 счетчике 12 количества перекрывающихся шаблонов СТС=2 и в четвертом счетчике 13 количества неперекрывающихся шаблонов СТН=2.

При поиске следующей группы во входных данных учитывается перекрытие разрядов из соседних групп - нулевое значение девятого бита и единичное значение десятого бита, которые поступили на вход ID=01 в тактах 10 и 11. Поэтому, после поступления  
45 следующего кода ID=01 в тактах 12 и 13, в такте 14 формируется нулевое значение флага неперекрывающихся шаблонов FN=0 (так как установлено нулевое значение флага первого состояния FS1=0 второго счетчика 9 разрядов шаблона при СТК=3) и формируется единичное значение внутреннего флага записи FW=1. Далее в такте 15

осуществляется запись кода по второму адресу выходного буфера кода  $OB(2)=0_{12}$  - нулевое значение флага неперекрывающихся шаблонов  $FN=0$  и с выхода счетчика бит  $CTB=12$ , который соответствует номеру двенадцатого бита (старшего разряда третьей группы с перекрытием) входной последовательности а также разрешается счет  
 5 (увеличение на единицу) в третьем счетчике 12 количества перекрывающихся шаблонов  $CTS=3$  и запрет счета в четвертом счетчике 13 количества неперекрывающихся шаблонов  $CTN=2$ .

Одновременно в такте 14 поступает единичный сигнал  $STOP=1$ , по которому в нулевое состояние переключается RS-триггер 1 пуска-останова  $TSS=0$ .

10 Обработка следующего входного  $N$  разрядного двоичного числа начинается после подачи единичного сигнала  $START=1$ .

Считывание результатов на группу внешних выходов данных  $QB$  из выходного буфера  $BO$  4 выполняется под управлением по внешней шине управления  $EO$ . При реализации выходного буфера  $BO$  4 в виде двухпортовой памяти FIFO, обмен можно  
 15 выполнять в процессе детектирования групп с учетом значений флагов «Буфер пуст»  $FZ$  и «Буфер заполнен»  $FF$ . Значение кода на группу внешних выходов количества перекрывающихся шаблонов  $QS$  передается с выходов третьего счетчика количества шаблонов  $CTS$  12 и на группу внешних выходов количества неперекрывающихся шаблонов  $QN$  с выхода четвертого счетчика 13 количества шаблонов  $CTN$  13.

20 Предлагаемое устройство может быть применено для аппаратной реализации статистических тестов разработанных лабораторией информационных технологий Национального института стандартов и технологий (NIST, США), целью которых является определение меры случайности двоичных последовательностей порожденных генераторами случайных чисел. В частности предлагаемое устройство реализует тесты  
 25 на совпадение заданных шаблонов размерностью  $K$  бит с группами из входных данных также размерностью  $K$  бит, как перекрывающихся, так и неперекрывающихся групп и подсчитывает количество выявленных в исходной последовательности перекрывающихся и неперекрывающихся групп При этом независимо от совпадения или не совпадения шаблону анализируемые соседние группы из входных данных  
 30 сдвигаются на один бит вперед. Цель - выявить генераторы случайных или псевдослучайных чисел, формирующие слишком часто заданные непериодические шаблоны.

При обработке результатов физических экспериментов предлагаемое устройство обеспечивает выявление непериодических событий (шаблонов - заданной группы из  
 35 последовательностей единичных бит (длительности событий) и нулевых бит (интервалов между ними)) и координат событий.

Вышеизложенные сведения позволяют сделать вывод, что предлагаемое устройство решает поставленную задачу и соответствует заявляемому техническому результату -реализация возможности задания значений шаблонов и их разрядности, разделение  
 40 выявленных перекрывающихся и неперекрывающихся шаблонов и определение их количества и расположение во входной последовательности данных.

#### (57) Формула изобретения

45 Устройство для детектирования перекрывающихся и неперекрывающихся шаблонов бит в двоичной последовательности, содержащее внешний вход данных  $ID$ , группу внешних входов шаблона  $IS$ , содержащую  $K$  разрядов, группу внешних входов  $IK$  задания разрядности входного шаблона  $IS$ , содержащую  $m$  разрядов (где  $m=\lceil \log_2(K+1) \rceil$  (большее целое), группу внешних выходов данных  $QB$ , группу внешних выходов

количества перекрывающихся шаблонов QS, группу внешних выходов количества неперекрывающихся шаблонов QN,

а также содержащее первый RS-триггер пуска-останова TSS (1), второй триггер задержки TZ (2), первый счетчик бит СТВ (3), выходной буфер ОБ (4), первый элемент И с инверсным входом (5), первый элемент ИЛИ (6), третий триггер записи TW (7), второй элемент ИЛИ (8), второй вычитающий счетчик разрядов шаблона СТК (9), второй элемент И (10), третий элемент И (11), третий счетчик количества перекрывающихся шаблонов СТС (12), четвертый счетчик количества неперекрывающихся шаблонов СТН (13), регистр сдвига входных данных RD (14), дешифратор DC (15), группу из (K-1) элементов ИЛИ (16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>(K-1)</sub>), первую группу из K элементов И (17<sub>1</sub>, 17<sub>2</sub>, ..., 17<sub>K</sub>), вторую группу из K элементов И (18<sub>1</sub>, 18<sub>2</sub>, ..., 18<sub>K</sub>) и компаратор COMP (19),

а также в него введены внешние входы тактового сигнала IC, пуска устройства START, остановки устройства STOP и внутренние шина дешифрации разрядов BDC, шина первого операнда сравнения ВА, шина второго операнда сравнения ВВ, внутренние флаг равенства FEQ, флаг загрузки счетчика СТК FL, флаг неперекрывающихся шаблонов FN, флаг разрешения шаблонов FS, флаг первого состояния счетчика СТК FS1, флаг задержки старта FZS и флаг записи FW, внешняя шина управления обменом ЕО, внешние флаг «Буфер заполнен» FF и флаг «Буфер пуст» FZ,

причем внешний тактовый вход устройства IC соединен с входами синхронизации С первого RS-триггера пуска-останова TSS (1), второго триггера задержки TZ (2), первого счетчика бит СТВ (3), выходного буфера ОБ (4), третьего триггера записи TW (7), второго вычитающего счетчика разрядов шаблона СТК (9), третьего счетчика количества перекрывающихся шаблонов СТС (12), четвертого счетчика количества неперекрывающихся шаблонов СТН (13) и регистра сдвига входных данных RD (14),

внешний вход пуска устройства START соединен с входом S синхронной установки в единичное состояние первого RS-триггера пуска-останова TSS (1) и с входами R синхронной установки в нулевое состояние второго триггера задержки TZ (2), первого счетчика бит СТВ (3), выходного буфера ОБ (4), третьего триггера записи TW (7), второго вычитающего счетчика разрядов шаблона СТК (9), третьего счетчика количества перекрывающихся шаблонов СТС (12), четвертого счетчика количества неперекрывающихся шаблонов СТН (13) и регистра сдвига входных данных RD (14),

внешний вход остановки устройства STOP соединен с входом R синхронной установки в нулевое состояние первого RS-триггера пуска-останова TSS (1), причем прямой выход первого RS-триггера пуска-останова TSS (1) соединен с входом S синхронной установки в единичное состояние второго триггера задержки TZ (2), с входами SE разрешения работы первого счетчика бит СТВ (3) и регистра сдвига входных данных RD (14), прямым вторым входом первого элемента И (5) и вторыми входами второго элемента И (10) и третьего элемента И (11),

выход второго триггера задержки TZ (2) соединен с инверсным первым входом первого элемента И (5), выход которого является внутренним флагом задержки старта FZS и соединен с первым входом первого элемента ИЛИ (6), выход которого является внутренним флагом загрузки счетчика FL и соединен с входом L разрешения записи второго вычитающего счетчика разрядов шаблона СТК (9),

внешний вход данных ID соединен с входом SI последовательного ввода регистра сдвига входных данных RD (14), группа K выходов которого соединена с первыми

входами соответствующих одноименных элементов первой группы из  $K$  элементов И ( $17_1, 17_2, \dots, 17_K$ ), выходы которых являются соответствующими одноименными разрядами внутренней шины первого операнда сравнения ВА, которая соединена с первой группой входов компаратора СОМР (19),

5  $K$  разрядов группы внешних входов шаблона IS соединены с первыми входами соответствующих одноименных элементов второй группы из  $K$  элементов И ( $18_1, 18_2, \dots, 18_K$ ), выходы которых являются соответствующими одноименными разрядами внутренней шины второго операнда сравнения ВВ, которая соединена со второй группой входов компаратора СОМР (19), выход которого является внутренним флагом равенства FEQ и соединен со третьими входами второго элемента И (10) и третьего элемента И (11),

10 причем группа внешних входов ИК задания разрядности входного шаблона IS соединена с соответствующей группой D-входов второго счетчика разрядов шаблона СТК (9) и адресными входами дешифратора DC (15), у которого выходы, с первого выхода до  $(K-1)$ -го выхода, соединены с первыми входами соответствующих одноименных элементов группы из  $(K-1)$  элементов ( $16_1, 16_2, \dots, 16_{(K-1)}$ ), выходы которых являются соответствующими одноименными разрядами, с первого разряда до  $(K-1)$ -го разряда, внутренней шины дешифрации разрядов BDC, у которой  $K$ -й разряд соединен с  $K$ -м выходом дешифратора DC (15), а  $K$  разрядов внутренней шины дешифрации разрядов BDC соединены со вторыми входами соответствующих одноименных элементов первой группы из  $K$  элементов И ( $17_1, 17_2, \dots, 17_K$ ) и второй группы из  $K$  элементов И ( $18_1, 18_2, \dots, 18_K$ ), а также выходы элементов группы  $16_1, 16_2, \dots, 16_{(K-1)}$  из  $(K-1)$  элементов ИЛИ, начиная с выхода  $(K-1)$ -го элемента ( $16_{(K-1)}$ ) до второго элемента ( $16_2$ ), соединены со вторыми входами соответствующих предыдущих элементов ИЛИ группы ( $16_1, 16_2, \dots, 16_{(K-1)}$ ), начиная с  $(K-2)$ -го элемента ( $16_{(K-2)}$ ) до первого элемента ( $16_1$ ), а второй вход  $(K-1)$ -го элемента ( $16_{(K-1)}$ ) соединен с  $K$ -м выходом дешифратора DC (15),

30 кроме того, выход первого состояния второго вычитающего счетчика разрядов шаблона СТК (9) является внутренним флагом FS1 первого состояния и соединен с инверсным входом разрешения работы SE счетчика разрядов шаблона СТК (9), с входом S синхронной установки в единичное состояние третьего триггера записи TW (7), со вторым входом второго элемента ИЛИ (8) и с первым входом третьего элемента И (11),

35 причем выход третьего триггера записи TW (7) соединен с первым входом второго элемента ИЛИ (8), выход которого является внутренним флагом разрешения шаблонов FS и соединен с первым входом второго элемента И (10), выход которого является внутренним флагом записи FW и соединен с входами SE разрешения работы выходного буфера ОВ (4) и третьего счетчика количества перекрывающихся шаблонов СТС (12), а выход третьего элемента И (11) является внутренним флагом неперекрывающихся шаблонов FN и соединен со вторым D-входом выходного буфера ОВ (4), со вторым входом первого элемента ИЛИ (6) и с входом SE разрешения работы четвертого счетчика количества неперекрывающихся шаблонов СТН,

45 причем группа выходов первого счетчика бит СТВ (3) соединена с первой группой информационных D-входов выходного буфера ОВ (4), который также подключен к внешней шине ЕО управления обменом, а соответствующие выходы выходного буфера ОВ (4) являются группой внешних выходов данных QV и внешними флагами «Буфер

заполнен» FF и «Буфер пуст» FZ,

кроме того, группа выходов третьего счетчика количества перекрывающихся шаблонов CTS (12) является группой внешних выходов количества перекрывающихся шаблонов QS, а группа выходов четвертого счетчика количества неперекрывающихся шаблонов CTN (13) является группой внешних выходов количества неперекрывающихся шаблонов QN.

10

15

20

25

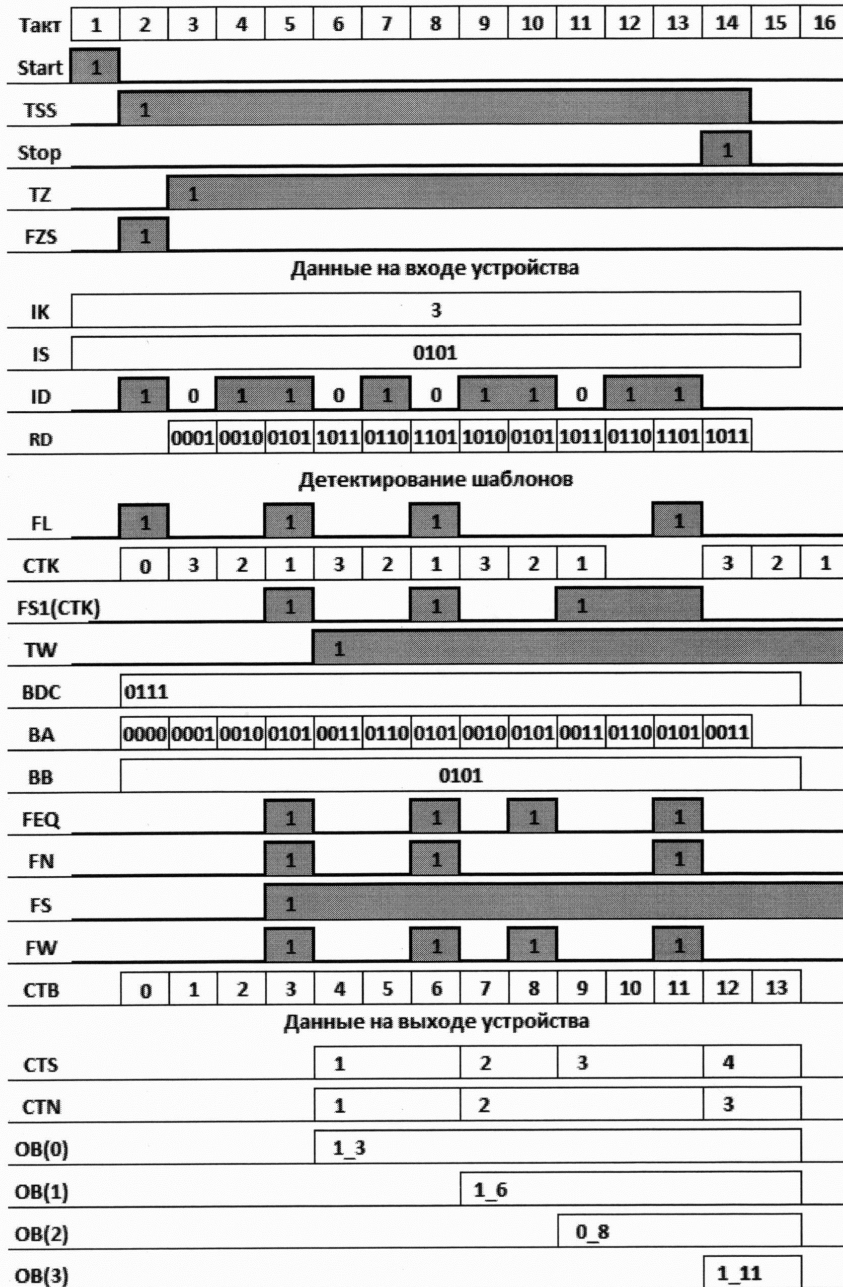
30

35

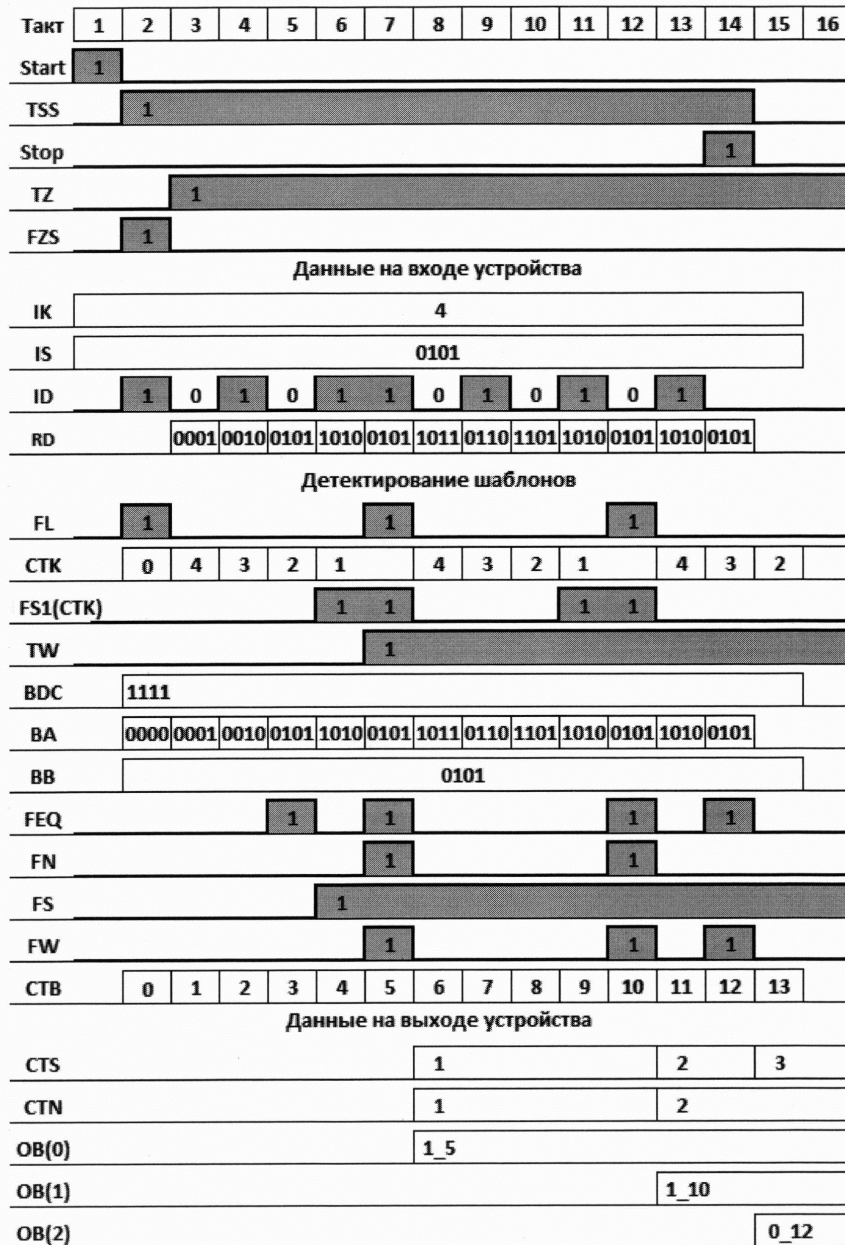
40

45





Фиг. 2



Фиг. 3